

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 9 月 10 日 (10.09.2004)

PCT

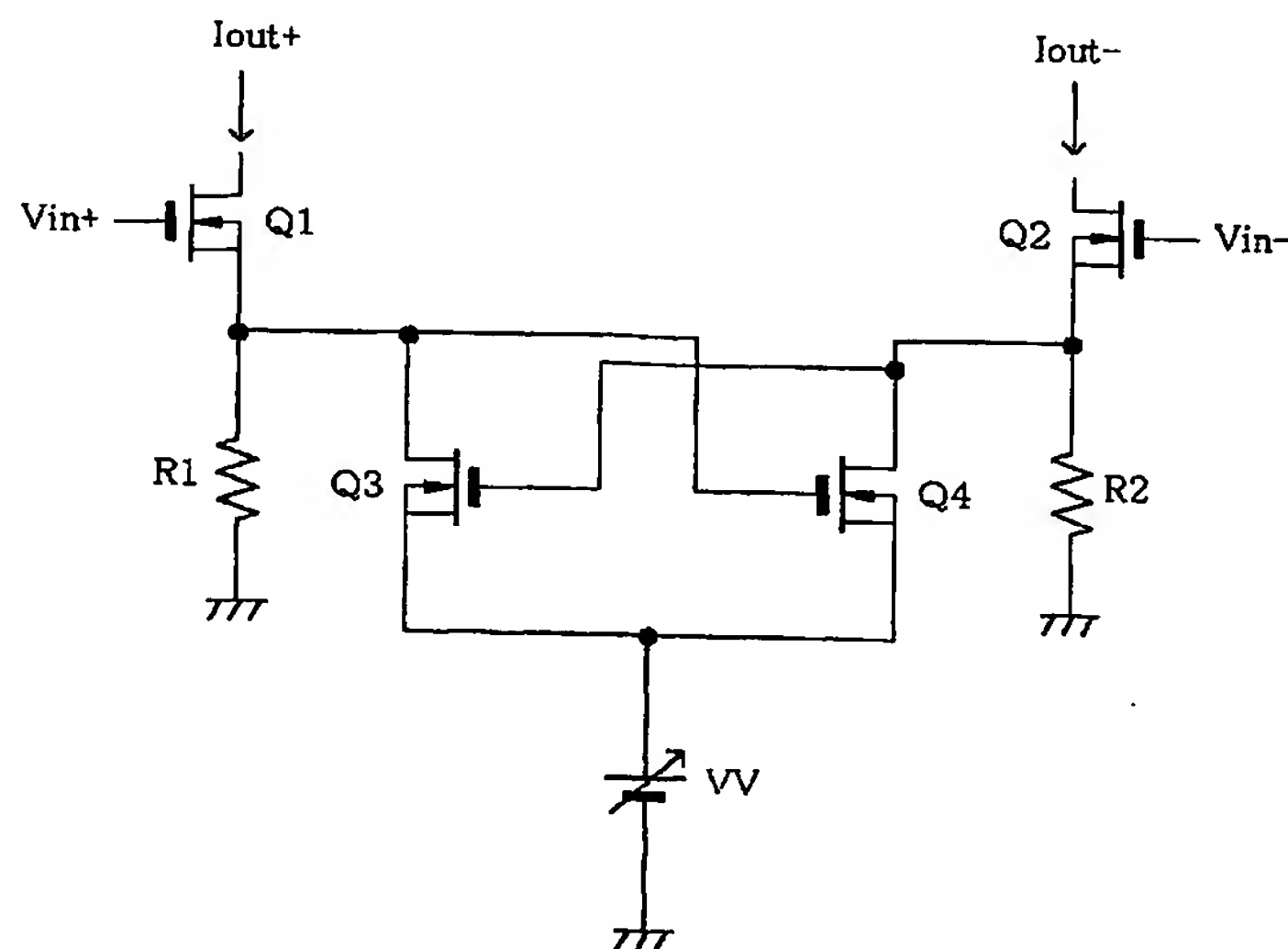
(10) 国際公開番号
WO 2004/077666 A1

- (51) 国際特許分類⁷: H03G 3/10, H03H 11/12
- (21) 国際出願番号: PCT/JP2004/000337
- (22) 国際出願日: 2004 年 1 月 16 日 (16.01.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-010533 2003 年 1 月 20 日 (20.01.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 堀 真一 (HORI, Shinichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 天野 広 (AMANO, Hiroshi); 〒1050014 東京都港区芝三丁目 40 番 4 号 シャイン三田ビル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: GAIN VARIABLE VOLTAGE/CURRENT CONVERSION CIRCUIT AND FILTER CIRCUIT USING THE SAME

(54) 発明の名称: 利得可変電圧・電流変換回路とこれを用いたフィルタ回路



(57) Abstract: There is provided a voltage-current conversion circuit capable of changing the gain in a wide range by giving adjustment voltage to one control terminal without requiring a switch circuit. The voltage-current conversion circuit includes parallel circuits of transistors Q3 and Q4 functioning as positive resistors R1, R2 and negative resistors connected in series with respect to transistors Q1 and Q2 performing voltage-current conversion. A variable voltage source VV is connected between the transistors Q3, Q4 and a grounding terminal and by controlling its voltage value, the resistance values of the transistors Q3 and Q4 are controlled. When voltage of the variable voltage source VV is changed, the resistance values of the transistors Q3 and Q4 are changed, which in turn changes the gate-source voltage of the transistors Q1 and Q2, thereby changing the gm value (interactive conductance) of the voltage-current conversion circuit.

(57) 要約: 本発明は、スイッチ回路を必要とせず、一つの制御端子に調整電圧を与えることにより、利得を広範囲にわたって変化させることのできる電圧-電流変換回路を提供する。電圧-電流変換回路は、正抵抗 R1、R2 と負性抵抗として機能するトランジスタ Q3、Q4 との並列回路を、電

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

圧-電流変換を行うトランジスタQ1、Q2に対して直列に接続する。トランジスタQ3、Q4と接地間に可変電
圧源VVを接続し、その電圧値を制御することにより、トランジスタQ3、Q4の抵抗値を制御する。可変電圧源
VVの電圧を変化させると、トランジスタQ3、Q4の抵抗値が変化し、これにより、トランジスタQ1、Q2の
ゲート-ソース間電圧が変化し、電圧-電流変換回路のgm値（相互コンダクタンス）が変化する。

明 細 書利得可変電圧・電流変換回路とこれを用いたフィルタ回路発明の技術分野

本発明は、可変変換利得を有する電圧－電流変換回路（ g_m アンプ）と、その電圧－電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路とに関する。

従来の技術

近年、複数の無線通信方式に対応した受信機（マルチモード対応受信機）の出現が求められている。

このような受信機は、個々の無線通信方式に対応したチャネル選択フィルタ回路（マルチモード対応フィルタ）を備えていることが必要であり、このチャネル選択フィルタ回路には、通過帯域幅を広範囲に渡って変更することができる機能が求められている。

一般的に、受信機をワンチップで構成する場合、チャネル選択フィルタ回路を電圧－電流変換回路（ g_m アンプ）と容量素子とで構成する g_m －C方式が使われる。チャネル選択フィルタ回路の通過帯域幅に可変特性の機能を持たせるためには、電圧－電流変換回路は、広範囲に渡って変換利得を変化させることができる機能を有している必要がある。

電圧－電流変換回路（ g_m アンプ）は、一般的には、バイポーラトランジスタ、MOSFETトランジスタその他の能動素子から構成されるが、実際の設計においては、プロセスのバラツキに対応するために、相互コンダクタンス（ g_m 値）が設計値に対して－30%乃至＋30%の範囲で電氣的に制御可能であるように設計されている。その範囲を超えて調整するためには、スイッチ回路を用いて切り替える方式が一般的である。

その一例として、ソースデジェネレーションの手法により線型性を高めた広利得可変範囲を持つMOS型 g_m アンプがIEEE. JSSC. Vol. 35、N

o. 4、pp. 476-489 (2000年4月)に記載されている。このMOS型gmアンプの回路図を図23に示す。

図23に示したMOS型gmアンプは、電圧-電流変換を行うn型MOSFETトランジスタQ21及びQ22と、n型MOSFETトランジスタQ21のソースと接地電圧との間に相互に直列に接続された正抵抗R21、R23及びR25と、n型MOSFETトランジスタQ22のソースと接地電圧との間に相互に直列に接続された正抵抗R22、R24及びR26と、正抵抗R21とR23との接続節点と正抵抗R22とR24との接続節点との間に接続されたスイッチ回路SW1と、正抵抗R23とR25との接続節点と正抵抗R24とR26との接続節点との間に接続されたスイッチ回路SW2と、から構成されている。

図23に示したMOS型gmアンプにおいては、n型MOSFETトランジスタQ21のゲートに入力電圧信号 V_{in+} を入力すると、出力電流 I_{out+} が得られ、n型MOSFETトランジスタQ22のゲートに入力電圧信号 V_{in-} を入力すると、出力電流 I_{out-} が得られる。

図24は、ソースデジェネレーション型gmアンプの回路図である。

図24に示すソースデジェネレーション型gmアンプは、電圧-電流変換を行うn型MOSFETトランジスタQ21と、一端がn型MOSFETトランジスタQ21のソースに、他端が接地されている正抵抗R21と、から構成されている。

図24に示したソースデジェネレーション型gmアンプにおいては、n型MOSFETトランジスタQ21のゲートに入力電圧信号 V_{in} を入力すると、出力電流 I_{out} が得られる。

図23に示したMOS型gmアンプは、図24に示すソースデジェネレーション型gmアンプを差動型に構成した回路である。

具体的には、図23に示したMOS型gmアンプは、図24に示したソースデジェネレーション型gmアンプにおけるn型MOSFETトランジスタQ21を一对のn型MOSFETトランジスタQ21、Q22に、正抵抗R21を、正抵抗R21、R23、R25及びR22、R24、R26に置換し、さらに、対応する差動対をスイッチ回路SW1及びSW2を介して接続したものである。

図24に示すソースデジェネレーション型 g_m アンプの相互コンダクタンス $G_m (= I_{out}/V_{in})$ は、 n 型MOSFETトランジスタ Q_{21} の相互コンダクタンスを g_{m_0} 、正抵抗 R_{21} の抵抗値を R とすると、下記の式(1)で与えられる。

$$G_m = \frac{g_{m_0}}{1 + g_{m_0} \cdot R} \quad \dots(1)$$

式(1)は、正抵抗 R_{21} の抵抗値を可変にすることにより、相互コンダクタンス G_m を制御できることを示している。

図23に示したMOS型 g_m アンプにおいて、スイッチ回路 SW_1 及び SW_2 がすべてオフ状態の場合、 n 型MOSFETトランジスタ Q_{21} 、 Q_{22} のソースとグランド間の抵抗値は、それぞれ、 R_{21} 、 R_{23} 及び R_{25} または R_{22} 、 R_{24} 及び R_{26} の各抵抗値の総和で表される。

これに対して、スイッチ回路 SW_1 がオン状態の場合、図23に示したMOS型 g_m アンプが差動回路であることから、スイッチ回路 SW_1 を含むノードが交流的に接地されたことに等しくなる。このため、 n 型MOSFETトランジスタ Q_{21} または Q_{22} のソースとグランド間には、交流的には正抵抗 R_{21} または R_{22} のみが接続されていることに等しくなる。

すなわち、式(1)における R は、スイッチ回路 SW_1 、 SW_2 がオフ状態の場合には、 R_{21} の抵抗値と R_{23} の抵抗値と R_{25} の抵抗値との総和(または、 R_{22} の抵抗値と R_{24} の抵抗値と R_{26} の抵抗値との総和)に等しく、スイッチ回路 SW_1 がオン状態の場合には、 R_{21} の抵抗値(または、 R_{22} の抵抗値)に等しい。

R_{21} 乃至 R_{26} の抵抗値が全て等しく、かつ、 n 型MOSFETトランジスタ Q_{21} の相互コンダクタンス g_{m_0} が $g_{m_0} = 1 / (R_{21} \text{の抵抗値})$ である場合には、図23に示したMOS型 g_m アンプの相互コンダクタンス G_m は2倍可変である。

図23に示したMOS型 g_m アンプの特徴は、スイッチ回路 SW_1 、 SW_2 に

よる切り替えを行っても、バイアス電圧は各ノードにおいて変化しないため、式(1)の相互コンダクタンス g_{m_0} は一定値として扱うことができ、従って、抵抗値を制御することのみによって、相互コンダクタンス G_m を可変にできることである。

図25は、IEEE. JSSC. Vol. 37, No. 2, pp. 125-136 (2002年2月)に記載された第二の従来例としてのMOS型 g_m アンプを示した回路図である。図25(a)は全体の構成を示す回路図、図25(b)は、図25(a)中のプログラマブルカレントミラー回路 G_1 、 G_2 の構成を示す回路図である。

図25(a)に示すMOS型 g_m アンプは、p型MOSFETトランジスタ Q_{23} 、 Q_{24} 、 Q_{25} 及び Q_{26} と、電流源 CS_1 、 CS_2 及び CS_3 と、電圧源 V_S と、プログラマブルカレントミラー回路 G_1 、 G_2 と、から構成されている。

電流源 CS_1 は、電圧源 V_S に接続されているとともに、p型MOSFETトランジスタ Q_{23} 、 Q_{26} の各ドレインに接続されている。また、電圧源 V_S はp型MOSFETトランジスタ Q_{24} 、 Q_{25} の各ドレインに接続されている。p型MOSFETトランジスタ Q_{23} 、 Q_{25} のソースはプログラマブルカレントミラー回路 G_1 に接続され、p型MOSFETトランジスタ Q_{24} 、 Q_{26} のソースはプログラマブルカレントミラー回路 G_2 に接続されている。電流源 CS_2 はプログラマブルカレントミラー回路 G_1 に接続され、電流源 CS_3 はプログラマブルカレントミラー回路 G_2 に接続されている。p型MOSFETトランジスタ Q_{23} 、 Q_{24} のゲートには入力電圧信号 V_{in+} が、p型MOSFETトランジスタ Q_{25} 、 Q_{26} のゲートには入力電圧信号 V_{in-} が入力される。

また、図25(b)に示すプログラマブルカレントミラー回路 G_1 、 G_2 は、n型MOSFETトランジスタ Q_{27} 、 Q_{28} 、 Q_{29} 、 Q_{30} 、 Q_{31} 、 Q_{32} 、 Q_{33} 、 Q_{34} 、 Q_{35} 及び Q_{36} と、n型MOSFETトランジスタ Q_{31} 、 Q_{32} 、 Q_{33} の各ゲートに接続されたスイッチ回路 SW_3 、 SW_4 、 SW_5 と、から構成されている。

プログラマブルカレントミラー回路 G_1 、 G_2 においては、MOS型 g_m アン

プの出力電流が流れるn型MOSFETトランジスタQ31、Q32及びQ33を並列的に配置し、スイッチ回路SW3、SW4及びSW5を用いて、n型MOSFETトランジスタQ31、Q32、Q33の中から稼働するMOSFETトランジスタを選択することができる構成になっている。

p型MOSFETトランジスタQ23、Q24及びQ25、Q26のゲートに差動入力電圧信号 V_{in+} 、 V_{in-} がそれぞれ入力されると、これら4つのMOSFETトランジスタQ23、Q24、Q25、Q26を通して、プログラマブルカレントミラー回路G1及びG2に、差動入力電圧に対応した差動成分を持った電流が流れ込む。プログラマブルカレントミラー回路G1及びG2においては、スイッチ回路SW3乃至SW5を切り替えることにより、差動成分を所望の倍率に増幅して、電流出力を取り出すことができる。

図25に示された状態では、プログラマブルカレントミラー回路G1及びG2内のスイッチ回路SW3、SW4が電源側にパスをもつことにより、n型MOSFETトランジスタQ31、Q32が稼働状態となっている。この状態から相互コンダクタンス G_m 値を下げるためには、スイッチ回路SW4のパスを接地側に切り替える。これにより、n型MOSFETトランジスタQ32が非稼働状態となり、相互コンダクタンス G_m 値が下がる。また、図示された状態から相互コンダクタンス G_m 値を上げるためには、スイッチ回路SW5のパスを電源側に切り替える。これにより、n型MOSFETトランジスタQ33が稼働状態となり、相互コンダクタンス G_m 値が上がる。

図25(b)に示すプログラマブルカレントミラー回路G1、G2の特徴は、スイッチ回路SW3、SW4、SW5の一端がn型MOSFETトランジスタQ31、Q32、Q33のゲートに接続されるため、スイッチ回路SW3、SW4、SW5の寄生成分(抵抗、容量成分その他)による影響が少なくなることである。

また、並列させるMOSFETトランジスタの数を増やすほど、相互コンダクタンス G_m 値の可変幅を大きくすることができる。

上述した従来例においては、電圧-電流変換回路(g_m アンプ)の利得の可変範囲を広くするためには、スイッチ回路を用いる必要があった。このため、制御にデジタル回路を必要とし、回路構成が複雑となり、チップ面積の増大を招いて

いた。

また、図 2 3 に示した第一の従来例の回路においては、電流がスイッチ回路 SW 1、SW 2 を流れるために、スイッチ回路 SW 1、SW 2 の寄生的なインピーダンスの影響が大きくなっていた。

図 2 5 に示した第二の従来例の回路においても、利得可変範囲を広くするためには、電流源として用いる MOSFET トランジスタを多く並列させなければならず、最小数の MOSFET トランジスタのみを稼働させる場合には、その他の非稼働の MOSFET トランジスタの容量成分の影響が大きくなるという問題があった。このため、この電圧－電流変換回路（gm アンプ）を用いて通過帯域可変フィルタを形成する場合には、通過帯域可変フィルタの構成が複雑となり、チップの大型化を招いていた。

また、特開平 3－6 4 1 0 9 号公報は、差動増幅段の相互コンダクタンスを高めるため、一対の MOS トランジスタを備える差動増幅回路を提案している。この一対の MOS トランジスタの各ソース電極はノードを介して相互に接続され、各ソース電極とノードとの間にはそれぞれ能動素子が接続され、負性抵抗器の機能を実現している。

また、特開平 7－2 3 5 8 4 0 号公報は、ベースを入力とする第 1 のトランジスタ対と、第 1 のトランジスタ対の各々のコレクタ電流をバイアス電流とする P N 接合対と、この P N 接合対の電圧差をベース入力とする共通エミッタに電流を供給する電流供給手段を有する第 2 のトランジスタ対と、第 1 のトランジスタ対のエミッタにコレクタ電流路をそれぞれ接続し、ベースを互いのコレクタ電流路に接続し、エミッタ間をインピーダンスで接続し、エミッタにバイアス電流を供給する電流供給手段を有した第 3 のトランジスタ対と、を備え、第 2 のトランジスタ対のコレクタから出力を得る可変利得増幅回路を提案している。

また、特開 2 0 0 1－3 6 3 5 6 号公報は、第 1 の MOS トランジスタ差動対回路と、第 1 の MOS トランジスタ差動対回路のソース端子の各々にドレイン端子をそれぞれ接続した第 2 の MOS トランジスタ差動対回路と、第 2 の MOS トランジスタ差動対回路のソース間に接続した抵抗素子とを有し、第 1 の MOS トランジスタ差動対回路のゲート端子を入力電圧端子とし、ドレイン端子を出力電

流端子とする電圧－電流変換回路であって、第2のMOSトランジスタ差動対回路の相互に相補的な2つのMOSトランジスタの各々のゲートが、相互に相手側のMOSトランジスタのドレインに接続され、かつ、これら2つのMOSトランジスタのソースがそれぞれ電流源を介して接地されている電圧－電流変換回路を提案している。

しかしながら、これらの公報に提案された回路によっても、上述の問題点は解決に至っていない。

本発明の課題は、上述した従来の回路の問題点を解決することであって、その目的は、第1に、スイッチ回路を必要とせずに、利得を広範囲にわたって変化させることができる電圧－電流変換回路を提供することであり、第2に、回路構造の簡易化を図り、チップ面積の低減を実現することであり、第3に、通過帯域可変幅の大きいフィルタを簡素な回路構成により実現し、低チップ面積のマルチモード受信機を実現できるようにすることである。

発明の開示

上記の目的を達成するため、本発明は、入力電圧に対応した電流を出力する電圧－電流変換回路であって、入力側端子と出力側端子と接地側端子とを有し、電圧－電流変換を行う能動素子と、前記能動素子の前記接地側端子において前記能動素子に直列に接続され、前記能動素子の変換利得を制御する抵抗回路と、を備え、前記抵抗回路は、可変抵抗値を有し、さらに、負性抵抗素子を含むものである電圧－電流変換回路を提供する。

本発明に係る電圧－電流変換回路においては、電圧－電流変換を行う能動素子と直列に負性抵抗素子を含む抵抗値可変の抵抗回路が接続される。例えば、負性抵抗素子の抵抗値を変化させることができるように構成することにより、抵抗回路の抵抗値を大幅に変化させることが可能になる。このため、能動素子の電圧－電流変換利得の可変範囲を大きく確保することが可能になる。負性抵抗素子は、例えば、MOSFETトランジスタやバイポーラトランジスタによって構成することが可能である。このため、単一の制御信号によって、すなわち、単一の制御端子に調整電圧を与えることによって、抵抗値を制御することが可能であるため、

スイッチ回路を使用する必要がなく、電圧－電流変換回路を少ない回路素子数でコンパクトに形成することが可能になる。さらに、このように構成された電圧－電流変換回路と容量素子とを組み合わせることにより、通過帯域可変幅の大きいフィルタを簡素な回路構成により実現することが可能になる。

本発明に係る電圧－電流変換回路においては、前記能動素子として、それぞれが、入力側端子と出力側端子と接地側端子とを有し、電圧－電流変換を行い、相互に差動動作する一対の能動素子を備え、前記抵抗回路として、それぞれが、前記一対の能動素子をなす各能動素子の前記接地側端子において前記能動素子に直列に接続され、前記能動素子の変換利得を制御する一対の抵抗回路を備え、前記一対の抵抗回路の各抵抗回路は、可変抵抗値を有し、さらに、負性抵抗素子を含むものとして構成することが可能である。

前記負性抵抗素子は可変抵抗値を有することが好ましい。

また、前記抵抗回路は以下のように種々の構成をとることができる。

例えば、前記抵抗回路は、前記能動素子に直列に接続された1ないし複数の抵抗素子と、少なくともいずれか一つの抵抗素子と並列に接続された負性抵抗素子と、から構成することができる。

あるいは、前記抵抗回路は、抵抗素子と負性抵抗素子とが相互に直列に接続された第一の回路からなり、前記第一の回路は前記能動素子に直列に接続されているものとして構成することができる。

あるいは、前記抵抗回路は、前記能動素子に直列に接続された第1の抵抗素子と、前記第1の抵抗素子と並列に接続された第二の回路と、から構成することができる。この場合、前記第二の回路は、負性抵抗素子と、該負性抵抗素子に直列に接続された第2の抵抗素子とから構成される。

前記一対の抵抗回路における前記負性抵抗素子は、前記能動素子と前記抵抗回路との接続節点若しくは前記抵抗回路内の任意の接続節点におけるノード信号を入力信号とし、交差接続されて差動動作する一対の能動素子からなるものであることが好ましい。

前記負性抵抗素子は、例えば、電界効果トランジスタまたはバイポーラトランジスタにより構成される。

前記電界効果トランジスタまたはバイポーラトランジスタのソース電位またはエミッタ電位を制御することにより、前記負性抵抗素子の抵抗値を制御することが可能である。

本発明に係る電圧－電流変換回路は、前記電界効果トランジスタまたはバイポーラトランジスタのソースまたはエミッタと基準電位点と間に接続された電圧発生回路を備えることが好ましい。この電圧発生回路が発生する電圧を制御することにより、前記負性抵抗素子の抵抗値を制御することができる。

前記電圧発生回路は、例えば、第1入力端子、第2入力端子及び出力端子を有するオペアンプと、能動素子と、から構成することができる。前記オペアンプの前記第1入力端子には電位制御信号が入力され、前記能動素子の入力端子は前記オペアンプの出力端子に接続され、前記能動素子の出力端子は前記オペアンプの前記第2入力端子に接続される。

前記負性抵抗素子が、差動動作する一対の電界効果トランジスタまたはバイポーラトランジスタからなり、前記一対の電界効果トランジスタまたはバイポーラトランジスタのソース同士またはエミッタ同士は互いに接続されていることが好ましい。

本発明に係る電圧－電流変換回路は、前記能動素子と前記抵抗回路との接続節点に接続され、前記接続節点の電位を調整する電位調整手段を備えるものとして構成することができる。

この電位調整手段は、基準電位と前記接続節点との間に接続され、入力端子にバイアス信号が入力される能動素子によって構成することができる。

前記電位調整手段は、例えば、前記負性抵抗素子の抵抗値可変動作に伴って生じる前記接続節点の電位変動を補償するものとして構成することができる。

前記抵抗回路は正抵抗値の可変抵抗器を含むものとして構成することができる。

前記可変抵抗器は能動素子によって形成することができる。

前記能動素子は電界効果トランジスタまたはバイポーラトランジスタによって構成することができる。

電圧－電流変換を行う前記能動素子と前記負性抵抗素子を構成する能動素子とは導電型の異なる同種のトランジスタによって構成することができる。

本発明は、さらに、電圧－電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路を提供する。電圧－電流変換回路として、上述の電圧－電流変換回路を用いることにより、電圧－電流変換回路の利得を変化させ、フィルタ回路の通過帯域を調整することが可能になる。

図面の簡単な説明

図1は、本発明の第1の実施例に係る電圧－電流変換回路の回路図(図1(a))とその動作説明図(図1(b))である。

図2は、本発明の第1の実施例に係る電圧－電流変換回路の変形例の回路図(図2(a))とその動作説明図(図2(b))である。

図3は、本発明の第2の実施例に係る電圧－電流変換回路の回路図(図3(a))とその動作説明図(図3(b))である。

図4は、本発明の第3の実施例に係る電圧－電流変換回路の回路図(図4(a))とその動作説明図(図4(b))である。

図5は、本発明の第4の実施例に係る電圧－電流変換回路の回路図(図5(a))とその動作説明図(図5(b))である。

図6は、本発明の第5の実施例に係る電圧－電流変換回路の回路図(図6(a))とその動作説明図(図6(b))である。

図7は、本発明の第5の実施例における可変電圧源の一例の回路図である。

図8は、本発明の第6の実施例に係る電圧－電流変換回路の回路図(図8(a))とその動作説明図(図8(b))である。

図9は、本発明の第6の実施例におけるバイアス回路の一例の回路図である。

図10は、本発明の第7の実施例に係る電圧－電流変換回路の回路図(図10(a))とその動作説明図(図10(b))である。

図11は、本発明の第8の実施例に係る電圧－電流変換回路の回路図(図11(a))とその動作説明図(図11(b))である。

図12は、本発明の第9の実施例に係る電圧－電流変換回路の回路図(図12(a))とその動作説明図(図12(b))である。

図13は、本発明の第9の実施例における位相反転回路の一例を示す回路図で

ある。

図14は、本発明の第10の実施例に係る電圧－電流変換回路の回路図（図14（a））とその動作説明図（図14（b））である。

図15は、本発明の第10の実施例における可変正抵抗の第1の例の回路図である。

図16は、本発明の第10の実施例における可変正抵抗の第2の例の回路図である。

図17は、本発明の第11の実施例に係る電圧－電流変換回路の回路図（図17（a））とその動作説明図（図17（b））である。

図18は、本発明の第12の実施例に係る電圧－電流変換回路の回路図（図18（a））とその動作説明図（図18（b））である。

図19は、本発明の第13の実施例に係る電圧－電流変換回路の回路図（図19（a））とその動作説明図（図19（b））である。

図20は、本発明の第14の実施例に係る電圧－電流変換回路の回路図（図20（a））とその動作説明図（図20（b））である。

図21は、本発明の第15の実施例に係るフィルタ回路の回路図（図21（a））と、そのフィルタ回路における電圧－電流変換回路の回路図（図21（b））である。

図22は、本発明の第15の実施例に係るフィルタ回路の動作説明図である。

図23は、第1の従来例のMOS型gmアンプの回路図である。

図24は、ソースデジェネレーション型gmアンプの回路図である。

図25は、第2の従来例のMOS型gmアンプの回路図（図25（a））と、このMOS型gmアンプに用いられるプログラマブルカレントミラー回路の回路図（図25（b））である。

好ましい実施例の詳細な説明

（第1の実施例）

図1（a）は、本発明の第1の実施例に係る電圧－電流変換回路の回路図であり、図1（b）はその動作説明図である。

第1の実施例に係る電圧－電流変換回路は、電圧－電流変換を行う能動素子としてのn型MOSFETトランジスタQ0と、n型MOSFETトランジスタQ0に直列に接続された抵抗回路とからなり、抵抗回路は、n型MOSFETトランジスタQ0に直列に接続され、かつ、接地されている正抵抗R0と、n型MOSFETトランジスタQ0に直列に接続され、かつ、正抵抗R0と並列に接続され、さらに、接地され、可変抵抗値を有する負性抵抗NRと、から構成されている。

n型MOSFETトランジスタQ0のゲートに入力電圧信号Vinを入力すると、出力電流Ioutが得られる。

第1の実施例に係る電圧－電流変換回路（gmアンプ）の動作原理を以下に示す。

第1の実施例に係る電圧－電流変換回路の相互コンダクタンスGm値（= Iout/Vout）は、式（1）のRに代えて1 / (1/R0 - 1/RNR) を代入したものになり、次式（2）で表される。

$$G_m = \frac{1}{1 + \frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR}}} g_{m_0}} g_{m_0} \quad \dots(2)$$

式（2）において、R0は正抵抗R0の抵抗値を、RNRは負性抵抗NRの抵抗値の絶対値を、gm0はn型MOSFETトランジスタQ0の相互コンダクタンスgm値をそれぞれ示す。

図1（b）は、式（2）において抵抗値RNRを変化させたときの電圧－電流変換回路の相互コンダクタンスGm値の変化を示すグラフである。

図1（b）において実線101で示すように、負性抵抗NRの抵抗値RNRを、R0から無限大まで変化させることにより、相互コンダクタンスGm値を0から（gm0 / (1 + gm0 · R)）までの範囲で変化させることができる。すなわち、相互コンダクタンスGmは無限大の割合で変化させることができる。

また、図1（b）において実線102で示すように、抵抗値RNRを、R0 / (1

$+g_{m_0}R_0$) から R_0 の範囲内で変化させることにより、相互コンダクタンス G_m 値をマイナス無限大から 0 まで変化させることができる。すなわち、相互コンダクタンス G_m は無限大の割合で変化させることができる。

さらには、図 1 (b) において実線 103 で示すように、抵抗値 R_{NR} を 0 から $R_0 / (1 + g_{m_0}R_0)$ の範囲内で変化させることにより、相互コンダクタンス G_m 値を $g_{m_0} / (1 + g_{m_0} \cdot R)$ から無限大まで変化させることができ、結果的に、相互コンダクタンス G_m は無限大の割合で変化させることができる。この場合、 $R_0 = 1 / g_{m_0}$ に設定すれば、 G_m 値は $g_{m_0} / 2$ から無限大まで変化させることができる。

ただし、抵抗値 R_{NR} を $R_0 / (1 + g_{m_0}R_0)$ から R_0 までの範囲内で変化させる場合には、相互コンダクタンス G_m が負値となり、他の場合と出力電流 I_{out} の向きが逆になる。このように、本実施例に係る電圧—電流変換回路は、相互コンダクタンス G_m 値が負となる場合も包含している。

本実施例に係る電圧—電流変換回路においては、負性抵抗 NR の抵抗値 R_{NR} は、必ずしも広範囲に変化させる必要はなく、必要な相互コンダクタンス G_m 値の可変範囲に応じて、その可変範囲を選定することができる。例えば、負性抵抗 NR の抵抗値 R_{NR} を R_0 から無限大までの範囲内の有限の範囲内に選定することができる。

図 1 に示した第 1 の実施例に係る電圧—電流変換回路においては、能動素子としての n 型 MOSFET トランジスタ Q_0 に直列に接続された抵抗素子の数は 1 (正抵抗 R_0) であるが、 n 型 MOSFET トランジスタ Q_0 に直列に接続することができる抵抗素子の数は 2 以上とすることも可能である。その一例を第 1 の実施例の変形例として図 2 に示す。

図 2 (a) は、本発明の第 1 の実施例の変形例に係る電圧—電流変換回路の回路図であり、図 2 (b) はその動作説明図である。

本変形例に係る電圧—電流変換回路は、電圧—電流変換を行う能動素子としての n 型 MOSFET トランジスタ Q_0 と、 n 型 MOSFET トランジスタ Q_0 に直列に接続されている抵抗回路とからなり、抵抗回路は、 n 型 MOSFET トランジスタ Q_0 に直列に接続されている正抵抗 R_{00} と、正抵抗 R_{00} に直列に接

続され、かつ、接地されている正抵抗 R_0 と、正抵抗 R_{00} に直列に接続され、かつ、正抵抗 R_0 と並列に接続され、さらに、接地され、可変抵抗値を有する負性抵抗 N_R と、から構成されている。

第1の実施例に係る電圧－電流変換回路と同様に、 n 型MOSFETトランジスタ Q_0 のゲートに入力電圧信号 V_{in} を入力すると、出力電流 I_{out} が得られる。

本変形例に係る電圧－電流変換回路の相互コンダクタンス G_m 値は、式(1)の R に代えて、 $R_{00} + 1 / (1/R_0 - 1/R_{NR})$ を代入したものになり、下の式(5)で表される。

$$G_m = \frac{1}{1 + \left[R_{00} + \frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR}}} \right] g_{m_0}} g_{m_0} \quad \dots(5)$$

図2(b)は、式(5)において負性抵抗 N_R の抵抗値 R_{NR} を変化させたときの相互コンダクタンス G_m 値の変化を示すグラフである。

図2(b)において実線201で示すように、 $R_{NR} = R_0$ のときに、相互コンダクタンス $G_m = 0$ となり、 R_{NR} が無限大のときに、相互コンダクタンス $G_m = g_{m_0} / (1 + (R_{00} + R_0) g_{m_0})$ となり、相互コンダクタンス G_m に無限大の可変特性を持たせることができる。この場合、 $R_0 = R_{00} = 1 / g_{m_0}$ と設定することにより、相互コンダクタンス $G_m = g_{m_0} / 3$ となる。

また、図2(b)において実線202で示すように、抵抗値 R_{NR} を $R_0 (1 + g_{m_0} R_{00}) / (1 + (R_{00} + R_0) g_{m_0})$ から R_0 の範囲内で変化させることにより、相互コンダクタンス G_m 値をマイナス無限大から0まで変化させることができる。すなわち、相互コンダクタンス G_m は無限大の割合で変化させることができる。

さらには、図2(b)において実線203で示すように、抵抗値 R_{NR} を0から $R_0 (1 + g_{m_0} R_{00}) / (1 + (R_{00} + R_0) g_{m_0})$ の範囲内で変化させることにより、相互コンダクタンス G_m 値を $g_{m_0} / (1 + (R_{00} + R_0) g_{m_0})$ か

ら無限大まで変化させることができ、結果的に、相互コンダクタンス G_m は無限大の割合で変化させることができる。

以上のように、 n 型MOSFETトランジスタ Q_0 には複数個の抵抗素子を直列に接続することができ、この場合には、少なくともいずれか一つの抵抗素子と並列に負性抵抗素子 N_R が接続される。

(第2の実施例)

図3 (a) は、本発明の第2の実施例に係る電圧－電流変換回路の回路図であり、図3 (b) はその動作説明図である。

第2の実施例に係る電圧－電流変換回路は、電圧－電流変換を行う能動素子としての n 型MOSFETトランジスタ Q_0 と、 n 型MOSFETトランジスタ Q_0 と直列に接続された抵抗回路とからなり、抵抗回路は、 n 型MOSFETトランジスタ Q_0 と直列に接続され、可変抵抗値を有する負性抵抗 N_R と、負性抵抗 N_R と直列に接続され、かつ、接地された正抵抗 R_0 とから構成されている。

図3 (a) に示す第2の実施例に係る電圧－電流変換回路の相互コンダクタンス G_m は、式(1)の R に代えて、 $(R_0 - R_{NR})$ を代入することによって得られ、式(3)に示すようになる。

$$G_m = \frac{1}{1 + (R_0 - R_{NR}) g_{m_0}} g_{m_0} \quad \dots(3)$$

図3 (b) は、式(3)において負性抵抗 N_R の抵抗値 R_{NR} を変化させたときの相互コンダクタンス G_m 値の変化を示すグラフである。

本実施例においては、図3 (b) において実線301で示すように、負性抵抗 N_R の抵抗値 R_{NR} が無限大のときに、相互コンダクタンス G_m は0となり ($G_m = 0$) となり、負性抵抗 N_R の抵抗値 R_{NR} が $(R_0 + 1/g_{m_0})$ に等しいときに、相互コンダクタンス G_m はマイナス無限大となり ($G_m = -\infty$)、 G_m に無限大の可変特性を持たせることができる。

さらには、図3 (b) において実線302で示すように、抵抗値 R_{NR} を0から $(R_0 + 1/g_{m_0})$ の範囲内で変化させることにより、相互コンダクタンス G_m

値を 0 から無限大まで変化させることができ、結果的に、相互コンダクタンス G_m は無限大の割合で変化させることができる。

(第 3 の実施例)

図 4 (a) は、本発明の第 3 の実施例に係る電圧－電流変換回路の回路図であり、図 4 (b) はその動作説明図である。

第 3 の実施例に係る電圧－電流変換回路は、電圧－電流変換を行う能動素子としての n 型 MOSFET トランジスタ Q_0 と、 n 型 MOSFET トランジスタ Q_0 と直列に接続された抵抗回路とからなる。抵抗回路は、 n 型 MOSFET トランジスタ Q_0 に直列に接続され、かつ、接地されている第 1 の抵抗素子としての正抵抗 R_0 と、正抵抗 R_0 と並列に接続された第二の抵抗回路と、からなり、第二の抵抗回路は、 n 型 MOSFET トランジスタ Q_0 に直列に接続され、可変抵抗値を有する負性抵抗 N_R と、負性抵抗 N_R に直列に接続され、接地されている第 2 の抵抗素子としての正抵抗 R_{00} とから構成されている。

第 3 の実施例に係る電圧－電流変換回路の相互コンダクタンス G_m は、式 (1) の R に代えて、 $1 / (1 / R_0 - 1 / (R_{NR} - R_{00}))$ を代入することによって得られ、式 (4) に示すようになる。但し、 R_{00} は、正抵抗 R_{00} の抵抗値である。

$$G_m = \frac{1}{1 + \left(\frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR} - R_{00}}} \right) g_{m_0}} g_{m_0} \quad \dots(4)$$

図 4 (b) は、式 (4) において負性抵抗 N_R の抵抗値 R_{NR} を変化させたときの本実施例に係る電圧－電流変換回路の相互コンダクタンス G_m 値の変化を示すグラフである。

図 4 (b) においては、実線 401 で示すように、抵抗値 $R_{NR} = R_0 + R_{00}$ のときに、相互コンダクタンス G_m は 0 となり ($G_m = 0$)、抵抗値 R_{NR} が無限大のときに、相互コンダクタンス G_m は $g_{m_0} / (1 + g_{m_0} \cdot R)$ となり、相互コンダクタンス G_m に無限大の可変特性を持たせることができる。なお、正抵抗 R_0 の抵抗値 $R_0 = 1 / g_{m_0}$ と設定することにより、相互コンダクタンス $G_m = g$

$m_0/2$ となる。

また、図4 (b) において実線402で示すように、抵抗値 R_{NR} を $R_{00} + R_0 / (1 + R_0 g m_0)$ から $R_0 + R_{00}$ の範囲内で変化させることにより、相互コンダクタンス G_m 値をマイナス無限大から0まで変化させることができる。すなわち、相互コンダクタンス G_m は無限大の割合で変化させることができる。

さらには、図4 (b) において実線403で示すように、抵抗値 R_{NR} を0から $R_{00} + R_0 / (1 + R_0 g m_0)$ の範囲内で変化させることにより、相互コンダクタンス G_m 値を $g m_0 / (1 + g m_0 \cdot R)$ から無限大まで変化させることができ、結果的に、相互コンダクタンス G_m は無限大の割合で変化させることができる。

(第4の実施例)

図5 (a) は、本発明の第4の実施例に係る電圧－電流変換回路の回路図であり、図5 (b) はその動作説明図である。

第4の実施例に係る電圧－電流変換回路は、電圧－電流変換を行う能動素子としてのn型MOSFETトランジスタ Q_0 と、n型MOSFETトランジスタ Q_0 と直列に接続された抵抗回路とからなる。抵抗回路は可変抵抗値を有する負性抵抗 N_R のみにより構成されている。

本実施例に係る電圧－電流変換回路の相互コンダクタンス G_m は、式(1)の R に代えて $(-R_{NR})$ を代入することで得られ、式(6)のようになる。

$$G_m = \frac{1}{1 - R_{NR} \cdot g m_0} g m_0 \quad \dots (6)$$

図5 (b) は、式(6)において負性抵抗 N_R の抵抗値 R_{NR} を変化させたときの本実施例に係る電圧－電流変換回路の相互コンダクタンス G_m 値の変化を示すグラフである。

図5 (b) において実線501で示すように、抵抗値 $R_{NR} = 1 / g m_0$ のときに、相互コンダクタンス G_m はマイナス無限大となり、抵抗値 R_{NR} が無線大のときに、相互コンダクタンス G_m は0となり ($G_m = 0$)、無限大の可変特性を持たせることができる。

さらには、図5 (b) において実線502で示すように、抵抗値 R_{NR} を0から $1/gm_0$ の範囲内で変化させることにより、相互コンダクタンス G_m 値を0から無限大まで変化させることができ、結果的に、相互コンダクタンス G_m は無限大の割合で変化させることができる。

以上の第1乃至第4の実施例においては、電圧－電流変換を行う能動素子としてn型MOSFETトランジスタを用いていたが、これに代えて、バイポーラトランジスタ、MES型FETなど任意の能動素子を用いることもできる。

また、上記の第1乃至第4の実施例においては、負性抵抗 NR が可変抵抗であるものとして説明したが、逆に、負性抵抗を固定抵抗とし、正抵抗 R_0 、 R_{00} を可変抵抗とすることもできる。

例えば、図1 (a) に示す第1の実施例に係る電圧－電流変換回路において、 R_0 を可変抵抗とした場合には、式(2)から、 R_0 を、 R_{NR} から無限大まで変化させることにより、相互コンダクタンス G_m 値を0から無限大まで変化させることができ ($R_{NR}=1/gm_0$ として)、相互コンダクタンス G_m は無限大の割合で変化させることができる。これらの負または正の可変抵抗器は、MOSFETトランジスタなどの能動素子を用いて実現することができる。

また、上記の第1乃至第4の実施例において、電圧－電流変換を行う2個の能動素子を差動動作できるように交差接続し、相補の入力電圧を入力し、相補の出力電流を得るようにすることもできる。以下、2個の能動素子を差動動作できるように交差接続した実施例を説明する。

(第5の実施例)

図6 (a) は、本発明の第5の実施例に係る電圧－電流変換回路の回路図である。

第5の実施例に係る電圧－電流変換回路は、電圧－電流変換を行う能動素子としてのn型MOSFETトランジスタ Q_1 、 Q_2 と、n型MOSFETトランジスタ Q_1 、 Q_2 の各々に直列に接続され、かつ、接地された正抵抗 R_1 、 R_2 と、n型MOSFETトランジスタ Q_1 と正抵抗 R_1 との接続節点とn型MOSFETトランジスタ Q_2 と正抵抗 R_2 との接続節点との間に接続された抵抗回路と、抵抗回路に直列に接続され、かつ、接地されている可変電圧源 V_V と、から構成

されている。

抵抗回路は、負性抵抗の動作をする同サイズのn型MOSFETトランジスタQ3、Q4から構成されている。

n型MOSFETトランジスタQ3は、n型MOSFETトランジスタQ2と正抵抗R2との接続節点に接続されたゲートと、n型MOSFETトランジスタQ1と正抵抗R1との接続節点に接続されたドレインと、可変電圧源VVに接続されたソースと、を有している。

n型MOSFETトランジスタQ4は、n型MOSFETトランジスタQ1と正抵抗R1との接続節点に接続されたゲートと、n型MOSFETトランジスタQ2と正抵抗R2との接続節点に接続されたドレインと、可変電圧源VVに接続されたソースと、を有している。

n型MOSFETトランジスタQ1、Q2は同サイズを有しており、それぞれ、ゲートに入力電圧信号 V_{in+} 、 V_{in-} を受け、出力電流 I_{out+} 、 I_{out-} を出力する。正抵抗R1と正抵抗R2とは同じ抵抗値を有している。

ソース接地型MOSFETトランジスタ回路においては、ソースを接地端子、ドレインを出力端子、ゲートを制御端子に対応づけることができ、正抵抗R1、R2及びn型MOSFETトランジスタQ3、Q4は全てn型MOSFETトランジスタQ1、Q2のソースすなわち接地端子に接続されている。

第5の実施例に係る電圧－電流変換回路（gmアンプ）の動作原理を以下に示す。

本実施例に係る電圧－電流変換回路は、図1に示した第1の実施例に係る電圧－電流変換回路における負性抵抗NRがn型MOSFETトランジスタQ3で置換された構成と等価であるので、 $R_{NR} = 1 / g_{m_{Q3}}$ に相当する。従って、本実施例に係る電圧－電流変換回路の相互コンダクタンスGm値（ $G_m = (I_{out+} - I_{out-}) / (V_{in+} - V_{in-})$ ）は、式（1）のRに代えて、 $1 / (1 / R_{R1} - g_{m_{Q3}})$ を代入したものになり、下の式（7）で表される。

$$G_m = \frac{1}{1 + \frac{1}{\frac{1}{R_{R1}} - g_{m_{Q3}}} g_{m_0}} g_{m_0} \quad \dots(7)$$

式(7)において、 R_{R1} は、正抵抗 R_1 及び R_2 の抵抗値を示し、 $g_{m_{Q3}}$ は、 n 型MOSFETトランジスタ Q_3 及び Q_4 の相互コンダクタンス g_m 値を示し、 g_{m_0} は、 n 型MOSFETトランジスタ Q_1 及び Q_2 の相互コンダクタンス g_m 値を示す。

上記の式(7)から明らかであるように、 n 型MOSFETトランジスタ Q_3 及び Q_4 の相互コンダクタンス $g_{m_{Q3}}$ を $1/R_{R1}$ から0までの範囲内で変化させることにより、相互コンダクタンス G_m 値を0から($g_{m_0}/(1 + g_{m_0} \cdot R_{R1})$)まで変化させることができる。すなわち、本実施例に係る電圧－電流変換回路の相互コンダクタンス G_m は無限大の割合で変化させることができる。

MOSFETトランジスタ Q_3 及び Q_4 の相互コンダクタンス $g_{m_{Q3}}$ の制御は、 G_m 値がゲート・ソース間電圧 V_{gs} に比例して変化することを利用して、行う。すなわち、 n 型MOSFETトランジスタ Q_3 及び Q_4 のゲート・ソース間の電圧 V_{gs} を、 n 型MOSFETトランジスタ Q_3 及び Q_4 の各ソースに接続された可変電圧源 V_V の電圧値を変えることにより、制御する。

例えば、可変電圧源 V_V の電圧が最小値の時に n 型MOSFETトランジスタ Q_3 及び Q_4 の相互コンダクタンス $g_{m_{Q3}}$ の最大値が $1/R_{R1}$ となるように、 n 型MOSFETトランジスタ Q_3 、 Q_4 を設計しておけば、可変電圧源 V_V の電圧を n 型MOSFETトランジスタ Q_3 及び Q_4 のドレイン電位まであげたときに、 n 型MOSFETトランジスタ Q_3 及び Q_4 の相互コンダクタンス $g_{m_{Q3}}$ は0となるので、本実施例に係る電圧－電流変換回路の相互コンダクタンス G_m 値は0から $g_{m_0}/(1 + R_{R1} \cdot g_{m_0})$ まで可変となる。すなわち、無限大の割合で相互コンダクタンス G_m 値を変化させることができる。

図7は、可変電圧源 V_V の一例の回路図である。

図7においては、図6に示した第5の実施例に係る電圧－電流変換回路におい

て負性抵抗素子として機能するn型MOSFETトランジスタQ3及びQ4も示されている。

図7に示す可変電圧源VVは、第1入力端子（－端子）、第2入力端子（＋端子）及び出力端子を有するオペアンプOAと、能動素子としてのn型MOSFETトランジスタQ5と、から構成されている。オペアンプOAの第1入力端子（－端子）には電位制御信号が入力される。n型MOSFETトランジスタQ5の入力端子（ゲート）はオペアンプOAの出力端子に接続され、n型MOSFETトランジスタQ5の出力端子（ドレイン）はオペアンプOAの第2入力端子（＋端子）に接続され、接地端子（ソース）は接地されている。

n型MOSFETトランジスタQ5は電圧源として機能する。n型MOSFETトランジスタQ5のドレイン電位をオペアンプOAの第2入力端子（＋端子）に接続し、オペアンプOAの出力端をn型MOSFETトランジスタQ5のゲートに接続することにより、オペアンプOAの第1入力端子（－端子）に入力される制御電位をn型MOSFETトランジスタQ5のドレイン電位、すなわち、n型MOSFETトランジスタQ3及びQ4のソース電位に与えることができる。

また、n型MOSFETトランジスタQ3及びQ4は相互に差動的に動作するため、n型MOSFETトランジスタQ5のドレインに流れる電流の交流成分は0である。このため、オペアンプOAは、高周波領域において動作することは特に要求されることはなく、従って、図7に示した可変電圧源VVは安定な電圧源として機能することができる。

（第6の実施例）

図8は、本発明の第6の実施例に係る電圧－電流変換回路の回路図である。

第6の実施例に係る電圧－電流変換回路は、図6に示した第5の実施例に係る電圧－電流変換回路の構成と比較して、p型MOSFETトランジスタQ6、Q7と、バイアス回路1とを追加的に備えている。このため、図8において、図6と同一の構成要素には、同一の参照符号が付されている。

p型MOSFETトランジスタQ6のソースは、n型MOSFETトランジスタQ1のソースと正抵抗R1とn型MOSFETトランジスタQ3のドレインとn型MOSFETトランジスタQ4のゲートに接続され、p型MOSFETトラ

ンジスタQ6のゲートはバイアス回路1に接続されている。p型MOSFETトランジスタQ7のソースは、n型MOSFETトランジスタQ2のソース正抵抗R2とn型MOSFETトランジスタQ4のドレインとn型MOSFETトランジスタQ3のゲートに接続され、p型MOSFETトランジスタQ7のゲートはバイアス回路1に接続されている。バイアス回路1はp型MOSFETトランジスタQ6、Q7のゲートにバイアス電位を与える。

図6に示した第5の実施例に係る電圧－電流変換回路においては、可変電圧源VVの電圧値を変化させると、n型MOSFETトランジスタQ3、Q4のドレインに流れ込む直流電流が変化し、n型MOSFETトランジスタQ1、Q2のソース電位も変化する。n型MOSFETトランジスタQ1及びQ2の相互コンダクタンス g_m 値はゲート・ソース間電圧 V_{gs} に比例して変化するため、式(7)に用いたn型MOSFETトランジスタQ1及びQ2の相互コンダクタンス g_m は一定ではなく、電圧源VVの電圧値に従って変化する。このようにn型MOSFETトランジスタQ1及びQ2の相互コンダクタンス g_m が一定値ではないと、電圧－電流変換回路(g_m アンプ回路)そのものの設計を複雑にする。また、電圧値によっては、各MOSFETトランジスタが不飽和領域で動作する可能性がある。

これに対して、本実施例においては、p型MOSFETトランジスタQ6及びQ7をn型MOSFETトランジスタQ1及びQ2のソースに接続し、さらに、p型MOSFETトランジスタQ6及びQ7のゲートには、バイアス回路1で生成した可変電圧源VVの電圧値に対応したバイアス電圧を付加することにより、変動した直流電流を補償している。これにより、n型MOSFETトランジスタQ1及びQ2のソースの直流電位は、電圧源VVの電圧値に依存しない一定値となり、n型MOSFETトランジスタQ1及びQ2の相互コンダクタンス g_m も一定値とすることができる。

図9はバイアス回路1の一例の回路図を含む本発明の第6の実施例に係る電圧－電流変換回路の回路図である。

図9に示すように、バイアス回路1は、例えば、p型MOSFETトランジスタQ8と、n型MOSFETトランジスタQ3aと、n型MOSFETトランジ

スタQ1aと、正抵抗R1aと、可変電圧源VVaと、定電圧源VSと、から構成される。

p型MOSFETトランジスタQ8のゲートとドレインとは短絡されており、ゲート及びドレインはバイアス回路1の出力端子1A及びn型MOSFETトランジスタQ3aのソースに接続されている。n型MOSFETトランジスタQ3aのドレインは可変電圧源VVaに接続され、ソースはp型MOSFETトランジスタQ8のゲート及びドレインに接続され、ゲートはn型MOSFETトランジスタQ1aと正抵抗R1aとの接続節点に接続されている。可変電圧源VVaは一端においてn型MOSFETトランジスタQ3aのドレインに接続され、他端において接地されている。n型MOSFETトランジスタQ1aのゲートは定電圧源VSに接続され、ソースはn型MOSFETトランジスタQ3aのゲート及び正抵抗R1aに接続されている。正抵抗R1aは一端においてn型MOSFETトランジスタQ3aのゲート及びn型MOSFETトランジスタQ1aのソースに接続され、他端において接地されている。

バイアス回路1におけるn型MOSFETトランジスタQ1a、n型MOSFETトランジスタQ3a、正抵抗R1a及び可変電圧源VVaは、図8に示した第6の実施例に係る電圧－電流変換回路におけるn型MOSFETトランジスタQ1、n型MOSFETトランジスタQ3、正抵抗R1及び可変電圧源VVに対応しており、n型MOSFETトランジスタQ3aのドレイン－ソース間に流れる電流値はn型MOSFETトランジスタQ3のそれと同一である。

n型MOSFETトランジスタQ1aのゲートには、電圧値が $(V_{in+} - V_{in-}) / 2$ の定電圧源VSが接続されている。

ゲートドレイン間を短絡したp型MOSFETトランジスタQ8のソースはn型MOSFETトランジスタQ3aのドレインに接続されており、そのゲート電位がn型MOSFETトランジスタQ6及びQ7の各ゲートに印加されるバイアス電圧である。

図9に示す電圧－電流変換回路において、可変電圧源VVの電圧値が変化するとn型MOSFETトランジスタQ3、Q4に流れる電流が変化する。このとき、可変電圧源VVaの電圧値も変化するため、n型MOSFETトランジスタQ3、

Q 4 の電流変化分は n 型 MOS F E T トランジスタ Q 3 a の電流変化分に、従って、p 型 MOS F E T トランジスタ Q 8 の電流変化分に反映される。

p 型 MOS F E T トランジスタ Q 8 と p 型 MOS F E T トランジスタ Q 6、Q 7 とはカレントミラー回路を構成しているため、n 型 MOS F E T トランジスタ Q 3、Q 4 の電流変化分は p 型 MOS F E T トランジスタ Q 6、Q 7 を介して n 型 MOS F E T トランジスタ Q 3 a に与えられることになる。従って、可変電圧源 V V を変化させても、n 型 MOS F E T トランジスタ Q 1、Q 2 に流れる電流を変化させないようにすることができ、n 型 MOS F E T トランジスタ Q 1、Q 2 のソース電位を一定に保持することが可能になり、n 型 MOS F E T トランジスタ Q 1 及び Q 2 の相互コンダクタンス g_{m_0} 値を一定値とすることができる。

(第 7 の実施例)

図 1 0 は、本発明の第 7 の実施例に係る電圧－電流変換回路の回路図である。

第 7 の実施例に係る電圧－電流変換回路は、図 6 に示した第 5 の実施例に係る電圧－電流変換回路の構成と比較して、正抵抗 R 3、R 4 を追加的に備えている。このため、図 1 0 において、図 6 と同一の構成要素には、同一の参照符号が付されている。

正抵抗 R 3 は、n 型 MOS F E T トランジスタ Q 1 のソースと、正抵抗 R 1 と n 型 MOS F E T トランジスタ Q 3 のドレイン及び n 型 MOS F E T トランジスタ Q 4 のゲートとの接続節点 N 1 との間に直列に接続されている。また、正抵抗 R 4 は、n 型 MOS F E T トランジスタ Q 2 のソースと、正抵抗 R 2 と n 型 MOS F E T トランジスタ Q 4 のドレイン及び n 型 MOS F E T トランジスタ Q 3 のゲートとの接続節点 N 2 との間に直列に接続されている。

図 6 に示した第 5 の実施例に係る電圧－電流変換回路においては、負性抵抗素子である n 型 MOS F E T トランジスタ Q 3 及び Q 4 のドレインは、それぞれ、n 型 MOS F E T トランジスタ Q 1 のソースと正抵抗 R 1 との接続節点及び n 型 MOS F E T トランジスタ Q 2 のソースと正抵抗 R 2 との接続節点に接続されているが、本実施例においては、負性抵抗素子である n 型 MOS F E T トランジスタ Q 3 及び Q 4 のドレインはそれぞれ上述の接続節点 N 1 及び N 2 に接続されている。

本実施例に係る電圧－電流変換回路の相互コンダクタンス G_m 値は、正抵抗 R_3 の抵抗値を R_{R3} で表すと、式(1)の R に代えて、 $R_{R3} + 1 / (1 / R_{R1} - g_{m_{Q3}})$ を代入した値となる。すなわち、図6に示した第5の実施例に係る電圧－電流変換回路に対して、抵抗の値として、 R_{R3} が加算されたものになる。

本実施例に係る電圧－電流変換回路によれば、第1の実施例に係る電圧－電流変換回路と同等の効果が得られるが、 n 型MOSFETトランジスタ Q_1 、 Q_2 のソースと負性抵抗 NR との間に正抵抗 R_3 、 R_4 が接続されることによって、 n 型MOSFETトランジスタ Q_3 、 Q_4 の非線形性が緩和され、全体として、より線形動作に近くなる電圧－電流変換回路(g_m アンプ)を得ることができる。

(第8の実施例)

図11は、本発明の第8の実施例に係る電圧－電流変換回路の回路図である。

第8の実施例に係る電圧－電流変換回路は、図6に示した第5の実施例に係る電圧－電流変換回路の構成と比較して、負性抵抗素子としての n 型MOSFETトランジスタ Q_3 、 Q_4 に代えて、 p 型MOSFETトランジスタ Q_9 及び Q_{10} が用いられている点が相違している。この点以外の構造は、図6に示した第5の実施例に係る電圧－電流変換回路と同一である。このため、図11において、図6と同一の構成要素には、同一の参照符号が付されている。

このように、本実施例に係る電圧－電流変換回路によっても、すなわち、負性抵抗素子を構成するMOSFETトランジスタの導電型を n 型から p 型に変更しても、図6に示した第5の実施例に係る電圧－電流変換回路と同一の効果を得ることができる。

(第9の実施例)

図12は、本発明の第9の実施例に係る電圧－電流変換回路の回路図である。

図6に示した第5の実施例に係る電圧－電流変換回路が差動型回路であったのに対して、第9の実施例に係る電圧－電流変換回路はシングルエンドタイプの g_m アンプである。このため、図12において、図6と同一の構成要素には、同一の参照符号が付されている。あるいは、図1に示した第1の実施例に係る電圧－電流変換回路と比較して、第9の実施例に係る電圧－電流変換回路は負性抵抗素子 NR の構成が異なっている。

本実施例に係る電圧－電流変換回路は、 n 型MOSFETトランジスタ $Q1$ と、正抵抗 $R1$ と、抵抗回路と、から構成されている。

n 型MOSFETトランジスタ $Q1$ は、ゲートを介して入力電圧信号 V_{in} を受け、出力電流 I_{out} を出力する。 n 型MOSFETトランジスタ $Q1$ のソースは正抵抗 $R1$ 及び抵抗回路に接続されている。

正抵抗 $R1$ は、一端において n 型MOSFETトランジスタ $Q1$ のソースと接続され、他端において接地されている。

抵抗回路は、負性抵抗素子である n 型MOSFETトランジスタ $Q3$ と、位相反転回路 INV と、可変電圧源 VV と、から構成されている。

n 型MOSFETトランジスタ $Q3$ のドレインは n 型MOSFETトランジスタ $Q1$ のソースと正抵抗 $R1$ との接続節点及び位相反転回路 INV の入力端子に接続され、ソースは可変電圧源 VV に接続され、ゲートは位相反転回路 INV の出力端子に接続されている。

位相反転回路 INV の入力端子は n 型MOSFETトランジスタ $Q3$ のドレイン及び n 型MOSFETトランジスタ $Q1$ のソースと正抵抗 $R1$ との接続節点に接続され、出力端子は n 型MOSFETトランジスタ $Q3$ のゲートに接続されている。

可変電圧源 VV は一端において n 型MOSFETトランジスタ $Q3$ のソースに接続され、他端において接地されている。

負性抵抗素子である n 型MOSFETトランジスタ $Q3$ のゲートには、 n 型MOSFETトランジスタ $Q3$ のドレインの電圧信号を位相反転回路 INV によって反転された位相反転信号が入力される。

図13は位相反転回路 INV の一例の回路図である。

位相反転回路 INV は、図13に示すように、 p 型MOSFETトランジスタ $Q11$ 、 $Q13$ と n 型MOSFETトランジスタ $Q12$ 、 $Q14$ とから構成されている。

p 型MOSFETトランジスタ $Q11$ と n 型MOSFETトランジスタ $Q12$ とがインバータを形成し、 p 型MOSFETトランジスタ $Q13$ と n 型MOSFETトランジスタ $Q14$ とが入力端と出力端とを短絡したインバータ型の負荷を

形成する。これら2つのインバータは、その論理閾値電圧が、正抵抗 R_1 とn型MOSFETトランジスタ Q_3 のドレインとの接続節点のDCバイアス値と等しくなるように設計される。

n型MOSFETトランジスタ Q_3 の負性抵抗値は、可変電圧源 V_V の電圧値を制御し、n型MOSFETトランジスタ Q_3 のソース・ゲート間電圧を変化させることにより、制御される。

(第10の実施例)

図14は、本発明の第10の実施例に係る電圧-電流変換回路の回路図である。

第10の実施例に係る電圧-電流変換回路は、図6に示した第5の実施例に係る電圧-電流変換回路の構成と比較して、可変電圧源 V_V が除去され、さらに、正抵抗 R_1 、 R_2 に代えて、正抵抗値の可変抵抗 R_5 、 R_6 が用いられている。これらの点以外は、図6に示した第5の実施例に係る電圧-電流変換回路と同一の構造を有している。このため、図14において、図6と同一の構成要素には、同一の参照符号が付されている。

図6に示した第5の実施例に係る電圧-電流変換回路においては、負性抵抗を制御することにより、電圧-電流変換回路の利得可変を制御していたが、本実施例においては、可変正抵抗 R_5 、 R_6 を制御することにより、同様の効果を得ている。

図15は、可変正抵抗 R_5 、 R_6 の一例の回路図である。

可変正抵抗 R_5 、 R_6 は、例えば、正抵抗 R_7 と、正抵抗 R_7 に直列に接続されたn型MOSFETトランジスタ Q_{15} と、から構成される。

n型MOSFETトランジスタ Q_{15} は、抵抗体として用いるために、 $V_{gs} > V_{ds} + V_{th}$ (V_{gs} は、ゲート・ソース間電圧、 V_{ds} はドレイン・ソース間電圧、 V_{th} はn型MOSFETトランジスタ Q_{15} の閾値電圧)となる非飽和領域において用いられる。n型MOSFETトランジスタ Q_{15} の抵抗値は、ゲートに与えるバイアス電圧に応じて、制御される。

図16は、可変抵抗 R_5 、 R_6 の他の例の回路図である。

可変正抵抗 R_5 、 R_6 は、例えば、ゲート・ドレイン間を短絡したn型MOSFETトランジスタ Q_{16} と、一端においてn型MOSFETトランジスタ Q_1

6のソースに直列に接続され、他端において接地された可変電圧源 V_V と、から構成される。

可変抵抗 R_5 、 R_6 の正抵抗の値は、可変電圧源 V_V の電圧値を制御し、 n 型MOSFETトランジスタ Q_{16} のゲートーソース間電圧を変化させることによって、制御する。

図14に示す本実施例に係る電圧ー電流変換回路においては、 n 型MOSFETトランジスタトランジスタ Q_3 、 Q_4 の各ソースと接地電圧との間に、固定電圧の電圧源を挿入することも可能である。

(第11の実施例)

図17は、本発明の第11の実施例に係る電圧ー電流変換回路の回路図である。

第11の実施例に係る電圧ー電流変換回路は、図6に示した第5の実施例に係る電圧ー電流変換回路の構成と比較して、正抵抗 R_1 、 R_2 が除去されている。これらの点以外は、図6に示した第5の実施例に係る電圧ー電流変換回路と同一の構造を有している。このため、図17において、図6と同一の構成要素には、同一の参照符号が付されている。

本実施例に係る電圧ー電流変換回路の相互コンダクタンス G_m 値は、式(2)において、正抵抗 R_1 の抵抗値 R_{R1} を無限大とすることにより得られる。

本実施例に係る電圧ー電流変換回路によれば、可変電圧源 V_V の僅かな電圧変化によっても、電圧ー電流変換回路の相互コンダクタンス G_m 値を大きく変化させることができる。

(第12の実施例)

図18は、本発明の第12の実施例に係る電圧ー電流変換回路の回路図である。

第12の実施例に係る電圧ー電流変換回路は、図10に示した第7の実施例に係る電圧ー電流変換回路の構成と比較して、正抵抗 R_1 、 R_2 が除去されている。あるいは、第12の実施例に係る電圧ー電流変換回路は、図17に示した第11の実施例に係る電圧ー電流変換回路の構成と比較して、正抵抗 R_3 、 R_4 を追加的に備えている。正抵抗 R_3 は n 型MOSFETトランジスタ Q_1 のソースと n 型MOSFETトランジスタ Q_3 のドレイン及び n 型MOSFETトランジスタ Q_4 のゲートとの間に直列に接続され、正抵抗 R_4 は n 型MOSFETトランジ

スタQ2のソースとn型MOSFETトランジスタQ4のドレイン及びn型MOSFETトランジスタQ3のゲートとの間に直列に接続されている。これらの点以外は、図10に示した第7の実施例または図17に示した第11の実施例に係る電圧－電流変換回路と同一の構造を有している。このため、図18において、図10または図17と同一の構成要素には、同一の参照符号が付されている。

本実施例に係る電圧－電流変換回路の相互コンダクタンス G_m 値は、式(1)の R に代えて、 $(R_{R3} - 1 / g_{mQ3})$ を代入した値となる。

本実施例に係る電圧－電流変換回路によれば、第11の実施例に係る電圧－電流変換回路と同一の効果を得ることができるが、n型MOSFETトランジスタQ1、Q2のソースと負性抵抗 N_R との間に正抵抗 R_3 、 R_4 が接続されることによって、n型MOSFETトランジスタQ3、Q4の非線形性が緩和され、全体として、電圧－電流変換回路の動作をより線形に近くすることができる。

(第13の実施例)

図19は、本発明の第13の実施例に係る電圧－電流変換回路の回路図である。

第13の実施例に係る電圧－電流変換回路は、図6に示した第5の実施例に係る電圧－電流変換回路の構成と比較して、n型MOSFETトランジスタQ1、Q2、Q3、Q4に代えて、それぞれ、npn型バイポーラトランジスタB1、B2、B3、B4を備えている。これらの点以外は、図6に示した第5の実施例に係る電圧－電流変換回路と同一の構造を有している。このため、図19において、図6と同一の構成要素には、同一の参照符号が付されている。

バイポーラトランジスタの電圧－電流変換利得を g_m と定義することにより、図6に示した第5の実施例と同様に、式(7)に従った動作が成立する。但し、式(7)中の g_{mQ3} はバイポーラトランジスタB3の g_m 値である g_{mB3} に置き換えられる。

本実施例に係る電圧－電流変換回路によっても、第5の実施例に係る電圧－電流変換回路と同一の効果を得ることができる。すなわち、上述の第1乃至第12の実施例において、能動素子としてのMOSFETトランジスタに代えて、バイポーラ (第14の実施例)

図20は、本発明の第14の実施例に係る電圧－電流変換回路の回路図である。

第14の実施例に係る電圧－電流変換回路は、図1に示した第1の実施例に係る電圧－電流変換回路の構成と比較して、負性抵抗NRとして、トンネルダイオードTDを用いている。

具体的には、本実施例に係る電圧－電流変換回路における負性抵抗は、入力端子がn型MOSFETトランジスタQ1のソースと正抵抗R1との接続節点に接続され、出力端子が可変電圧源VVに接続されているトンネルダイオードTDと、一端においてトンネルダイオードTDに、他端において接地されている可変電圧源VVと、から構成されている。これらの点以外は、図1に示した第1の実施例に係る電圧－電流変換回路と同一の構造を有している。

トンネルダイオードTDの接地側に可変電圧源VVを接続し、バイアス電圧を制御することにより、負性抵抗値を制御できる構成となっている。

(第15の実施例)

図21(a)は、本発明の第15の実施例に係るフィルタ回路の回路図である。

図21(a)に示すフィルタ回路は、第1乃至第4電圧－電流変換回路 Gm_1 、 Gm_2 、 Gm_3 、 Gm_4 と第1及び第2の容量素子 C_1 、 C_2 とから構成された広帯域幅可変2次ローパスフィルタ回路である。

第1電圧－電流変換回路 Gm_1 の二つの出力端子の各々は第2電圧－電流変換回路 Gm_2 の二つの入力端子の各々に接続され、第2電圧－電流変換回路 Gm_2 の二つの出力端子の各々は第3電圧－電流変換回路 Gm_3 の二つの入力端子の各々及び第4電圧－電流変換回路 Gm_4 の二つの入力端子の各々に接続されている。さらに、第3電圧－電流変換回路 Gm_3 の二つの出力端子の各々は第4電圧－電流変換回路 Gm_4 の二つの出力端子の各々に接続されている。すなわち、第3電圧－電流変換回路 Gm_3 と第4電圧－電流変換回路 Gm_4 とは並列に接続されている。さらに、第2電圧－電流変換回路 Gm_2 の二つの入力端子の各々は二つの出力端子の各々と短絡されている。

第1乃至第4電圧－電流変換回路 Gm_1 、 Gm_2 、 Gm_3 、 Gm_4 の各々には可変電圧源VVが接続されている。

さらに、第1電圧－電流変換回路 Gm_1 の二つの出力端子の間には第1の容量素子 C_1 が接続されているとともに、第4電圧－電流変換回路 Gm_4 の二つの出力

端子の間には第2の容量素子 C_2 が接続されている。

図21(b)は第1乃至第4電圧－電流変換回路 Gm_1 、 Gm_2 、 Gm_3 、 Gm_4 の回路図である。

図21(b)から明らかであるように、第1乃至第4電圧－電流変換回路 Gm_1 、 Gm_2 、 Gm_3 、 Gm_4 の各々は図6に示した第5の実施例に係る電圧－電流変換回路から構成されている。

本実施例に係るフィルタ回路の伝達関数を式(8)に示す。

$$F(s) = \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{s^2 + \frac{gm_2}{C_1} s + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} \quad \dots(8)$$

可変電圧源 VV から供給される電圧を制御して、第1乃至第4電圧－電流変換回路 Gm_1 、 Gm_2 、 Gm_3 、 Gm_4 の全利得を A 倍すると、伝達関数は以下の式により表される。

$$\frac{\frac{A \cdot gm_1 \cdot A \cdot gm_3}{C_1 \cdot C_2}}{s^2 + \frac{A \cdot gm_2}{C_1} s + \frac{A \cdot gm_3 \cdot A \cdot gm_4}{C_1 \cdot C_2}} = \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{\left(\frac{s}{A}\right)^2 + \frac{gm_2}{C_1} \cdot \frac{s}{A} + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} = F\left(\frac{s}{A}\right)$$

上記の新たな伝達関数は、元の伝達関数に対して、周波数に関して A 倍にスケールリングされていることを示している。

図22は、本実施例に係るフィルタ回路の利得－周波数特性を示すグラフである。実線221は式(8)で示される伝達関数に対応する利得－周波数特性であり、実線222は新たな伝達関数に対応する利得－周波数特性である。

図22に示すように、ある周波数 F に関して、新たな伝達関数による帯域幅は式(8)で示される伝達関数による帯域幅の A 倍に増幅されている。

なお、第15の実施例に係るフィルタ回路を構成する第1乃至第4電圧－電流変換回路 Gm_1 、 Gm_2 、 Gm_3 、 Gm_4 としては、図6に示した第5の実施例に係

る電圧－電流変換回路を用いたが、他の実施例に係る電圧－電流変換回路を用いることも可能である。

さらに、第1乃至第4電圧－電流変換回路 Gm_1 、 Gm_2 、 Gm_3 、 Gm_4 として、全て同一の電圧－電流変換回路を用いる必要はなく、相互に異なる電圧－電流変換回路を用いることもできる。例えば、第1電圧－電流変換回路 Gm_1 として第5の実施例に係る電圧－電流変換回路を、第2電圧－電流変換回路 Gm_2 として第6の実施例に係る電圧－電流変換回路を、第3電圧－電流変換回路 Gm_3 として第7の実施例に係る電圧－電流変換回路を、第4電圧－電流変換回路 Gm_4 として第8の実施例に係る電圧－電流変換回路を用いることもできる。

以上、好ましい実施例を参照して本発明を説明したが、本発明はこれらの実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において、適宜の変更が可能である。

例えば、上述の実施例においては、正抵抗素子及び負性抵抗素子のいずれか一方を可変抵抗値を有する抵抗器とし、他方を固定抵抗値を有する抵抗器としていたが、両方を可変抵抗値を有する抵抗器とすることもできる。

産業上の利用可能性

以上説明したように、本発明に係る電圧－電流変換回路は、電圧－電流変換を行う能動素子と直列に負性抵抗素子を含む可変抵抗回路を接続したものであるもので、スイッチ回路を用いることなく、唯一つの制御端子（能動素子の制御端子）に調整電圧を加えることにより、利得を広く変化させることができる。

また、本発明に係る電圧－電流変換回路によれば、少ない素子数の簡素な構造の回路で利得を変化させることができ、チップサイズの縮小が可能となり、小型の電圧－電流変換回路を安価に提供することが可能になる。この回路により、複数の通信方式に対応したマルチモード対応チャネル選択フィルタを低チップ面積で実現することができ、低チップ面積のマルチモード受信機の実現に大きく貢献することができる。

請求の範囲

1. 入力電圧に対応した電流を出力する電圧－電流変換回路であって、
入力側端子と出力側端子と接地側端子とを有し、電圧－電流変換を行う能動素子と、

前記能動素子の前記接地側端子において前記能動素子に直列に接続され、前記能動素子の変換利得を制御する抵抗回路と、を備え、

前記抵抗回路は、可変抵抗値を有し、さらに、負性抵抗素子を含むものである電圧－電流変換回路。

2. 前記能動素子として、それぞれが、入力側端子と出力側端子と接地側端子とを有し、電圧－電流変換を行い、相互に差動動作する一対の能動素子を備え、

前記抵抗回路として、それぞれが、前記一対の能動素子をなす各能動素子の前記接地側端子において前記能動素子に直列に接続され、前記能動素子の変換利得を制御する一対の抵抗回路を備え、

前記一対の抵抗回路の各抵抗回路は、可変抵抗値を有し、さらに、負性抵抗素子を含むものである請求の範囲第1項に記載の電圧－電流変換回路。

3. 前記負性抵抗素子は可変抵抗値を有することを特徴とする請求の範囲第1項または第2項に記載の電圧－電流変換回路。

4. 前記抵抗回路は、
前記能動素子に直列に接続された1ないし複数の抵抗素子と、
少なくともいずれか一つの抵抗素子と並列に接続された負性抵抗素子と、
からなるものであることを特徴とする請求の範囲第1項乃至第3項のいずれか一項に記載の電圧－電流変換回路。

5. 前記抵抗回路は、

抵抗素子と負性抵抗素子とが相互に直列に接続された第一の回路からなり、前記第一の回路は前記能動素子に直列に接続されていることを特徴とする請求の範囲第1項乃至第3項のいずれか一項に記載の電圧－電流変換回路。

6. 前記抵抗回路は、
前記能動素子に直列に接続された第1の抵抗素子と、
前記第1の抵抗素子と並列に接続された第二の回路と、からなり、
前記第二の回路は、負性抵抗素子と、該負性抵抗素子に直列に接続された第2の抵抗素子とから構成されることを特徴とする請求の範囲第1項乃至第3項のいずれか一項に記載の電圧－電流変換回路。

7. 前記一对の抵抗回路における前記負性抵抗素子は、前記能動素子と前記抵抗回路との接続節点若しくは前記抵抗回路内の任意の接続節点におけるノード信号を入力信号とし、交差接続されて差動動作する一对の能動素子からなることを特徴とする請求の範囲第2項に記載の電圧－電流変換回路。

8. 前記負性抵抗素子は電界効果トランジスタまたはバイポーラトランジスタにより構成されることを特徴とする請求の範囲第1項乃至第7項のいずれか一項に記載の電圧－電流変換回路。

9. 前記電界効果トランジスタまたはバイポーラトランジスタのソース電位またはエミッタ電位を制御することにより、前記負性抵抗素子の抵抗値を制御することを特徴とする請求の範囲第8項に記載の電圧－電流変換回路。

10. 前記電界効果トランジスタまたはバイポーラトランジスタのソースまたはエミッタと基準電位点と間に接続された電圧発生回路を備え、該電圧発生回路が発生する電圧を制御することにより、前記負性抵抗素子の抵抗値を制御することを特徴とする請求の範囲第9項に記載の電圧－電流変換回路。

- 1 1. 前記電圧発生回路は、
第1入力端子、第2入力端子及び出力端子を有するオペアンプと、
能動素子と、からなり、
前記オペアンプの前記第1入力端子には電位制御信号が入力され、
前記能動素子の入力端子は前記オペアンプの出力端子に接続され、前記能動素子の出力端子は前記オペアンプの前記第2入力端子に接続されていることを特徴とする請求の範囲第10項に記載の電圧－電流変換回路。
- 1 2. 前記負性抵抗素子が、差動動作する一対の電界効果トランジスタまたはバイポーラトランジスタからなり、前記一対の電界効果トランジスタまたはバイポーラトランジスタのソース同士またはエミッタ同士は互いに接続されていることを特徴とする請求の範囲第9項に記載の電圧－電流変換回路。
- 1 3. 前記能動素子と前記抵抗回路との接続節点に接続され、前記接続節点の電位を調整する電位調整手段を備えることを特徴とする請求の範囲第1項乃至第12項のいずれか一項に記載の電圧－電流変換回路。
- 1 4. 前記電位調整手段が、基準電位と前記接続節点との間に接続され、入力端子にバイアス信号が入力される能動素子によって構成されていることを特徴とする請求の範囲第13項に記載の電圧－電流変換回路。
- 1 5. 前記電位調整手段は、前記負性抵抗素子の抵抗値可変動作に伴って生じる前記接続節点の電位変動を補償するものであることを特徴とする請求の範囲第13項または第14項に記載の電圧－電流変換回路。
- 1 6. 前記抵抗回路は正抵抗値の可変抵抗器を含むことを特徴とする請求の範囲第1項乃至第15項のいずれか一項に記載の電圧－電流変換回路。
- 1 7. 前記可変抵抗器が能動素子によって形成されていることを特徴とす

る請求の範囲第 1 6 項に記載の電圧－電流変換回路。

1 8. 前記能動素子が電界効果トランジスタまたはバイポーラトランジスタによって構成されていることを特徴とする請求の範囲第 1 項乃至第 1 7 項のいずれか一項に記載の電圧－電流変換回路。

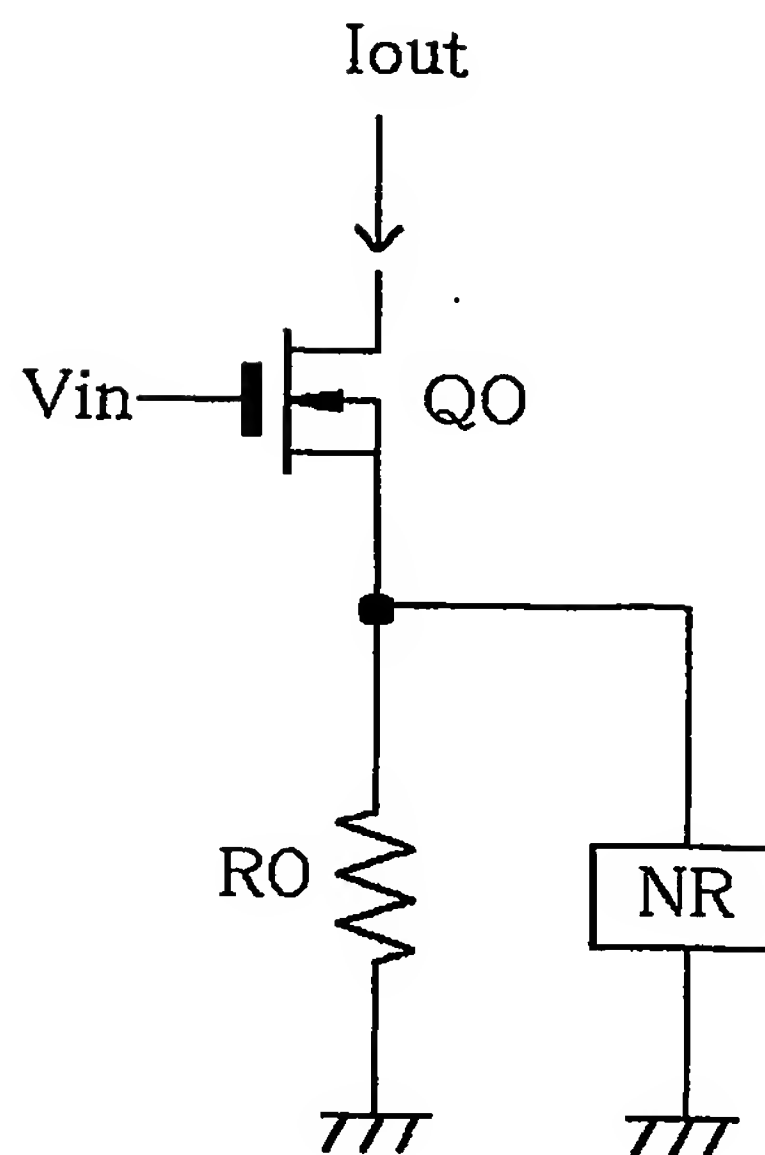
1 9. 電圧－電流変換を行う前記能動素子と前記負性抵抗素子を構成する能動素子とが導電型の異なる同種のトランジスタによって構成されていることを特徴とする請求の範囲第 1 項乃至第 1 8 項のいずれか一項に記載の電圧－電流変換回路。

2 0. 請求の範囲第 1 項乃至第 1 9 項のいずれか一項に記載の電圧－電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路であって、前記電圧－電流変換回路の利得を変化させることにより、通過帯域を調整することが可能なフィルタ回路。

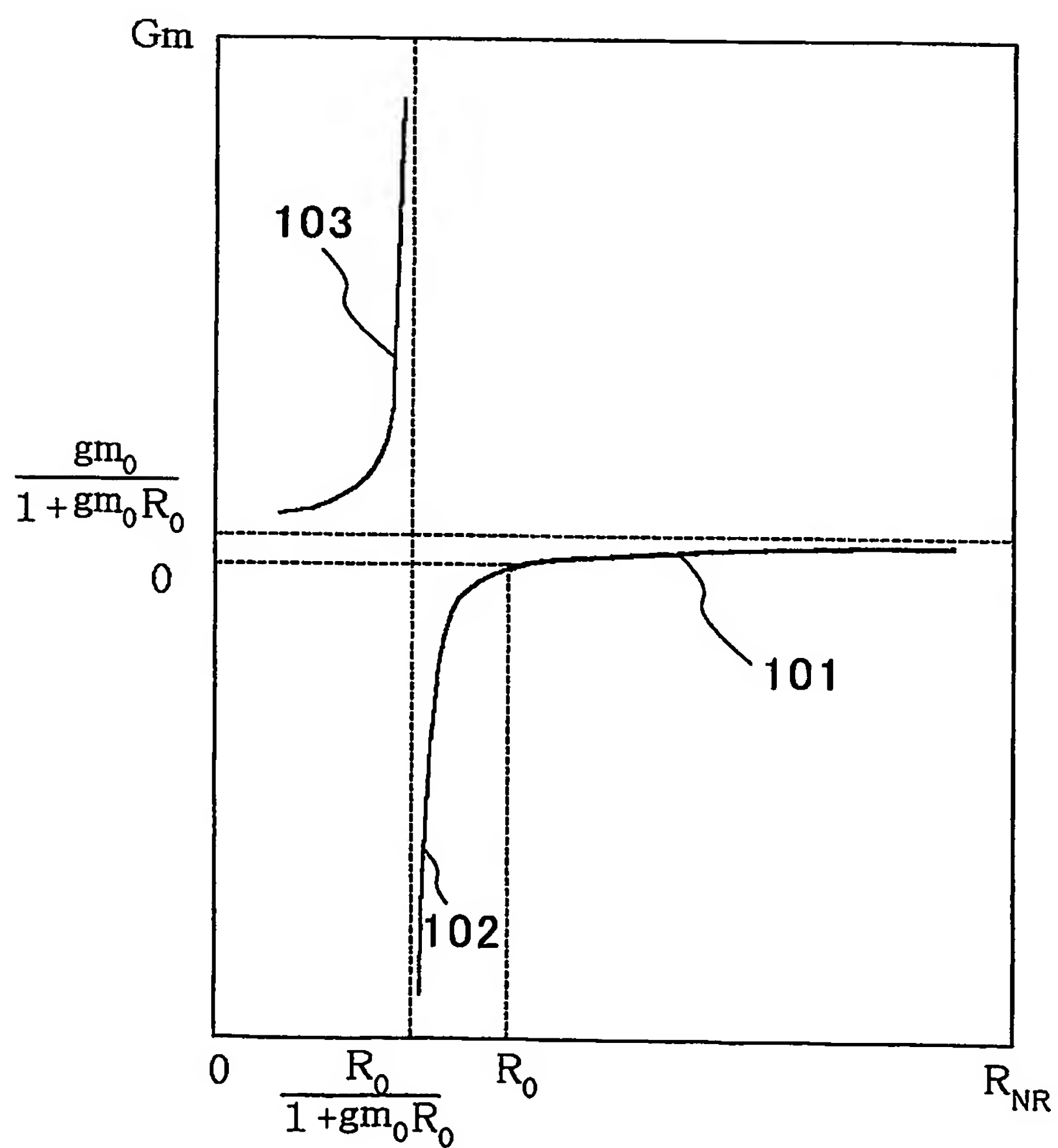
1/19

図 1

(a)



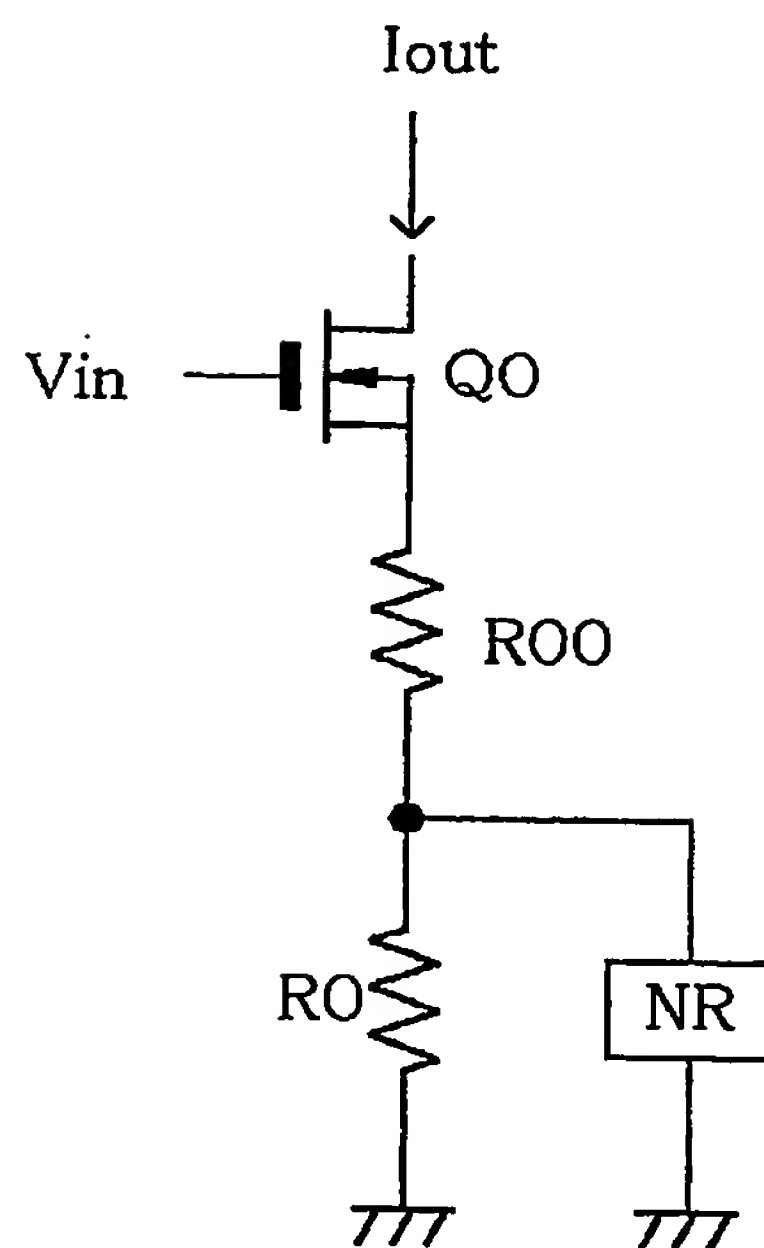
(b)



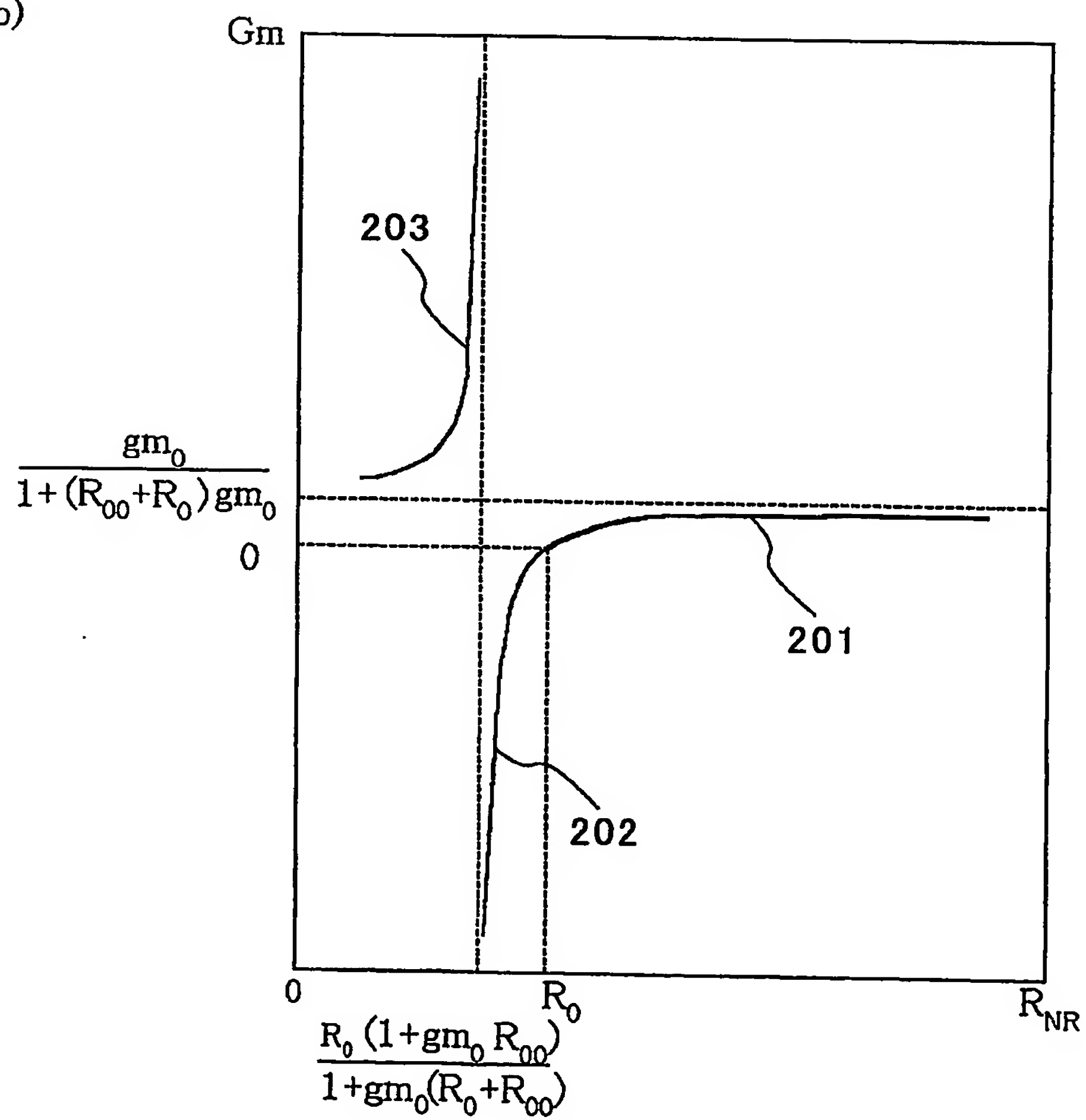
2/19

図 2

(a)



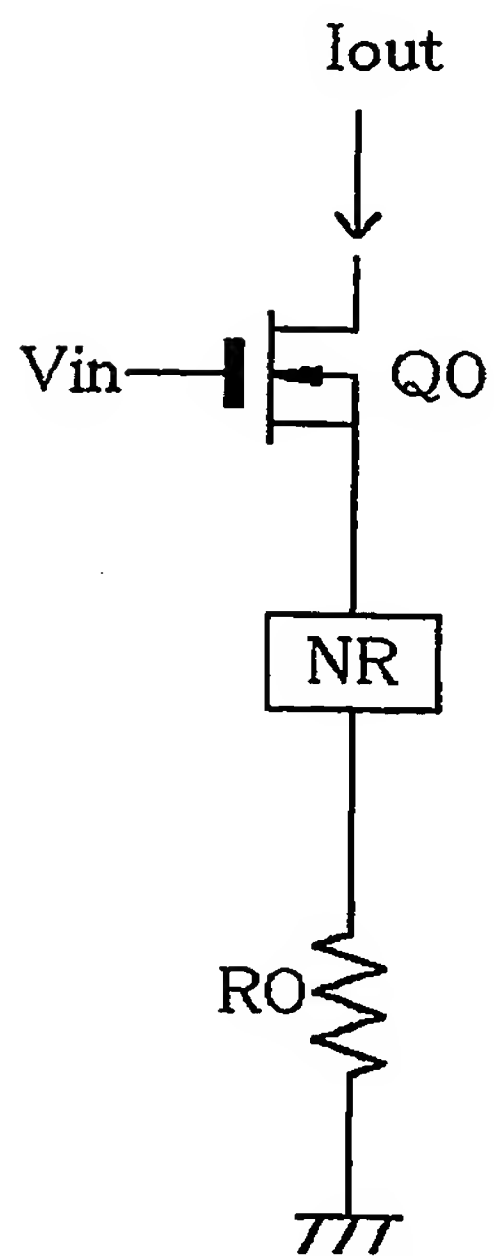
(b)



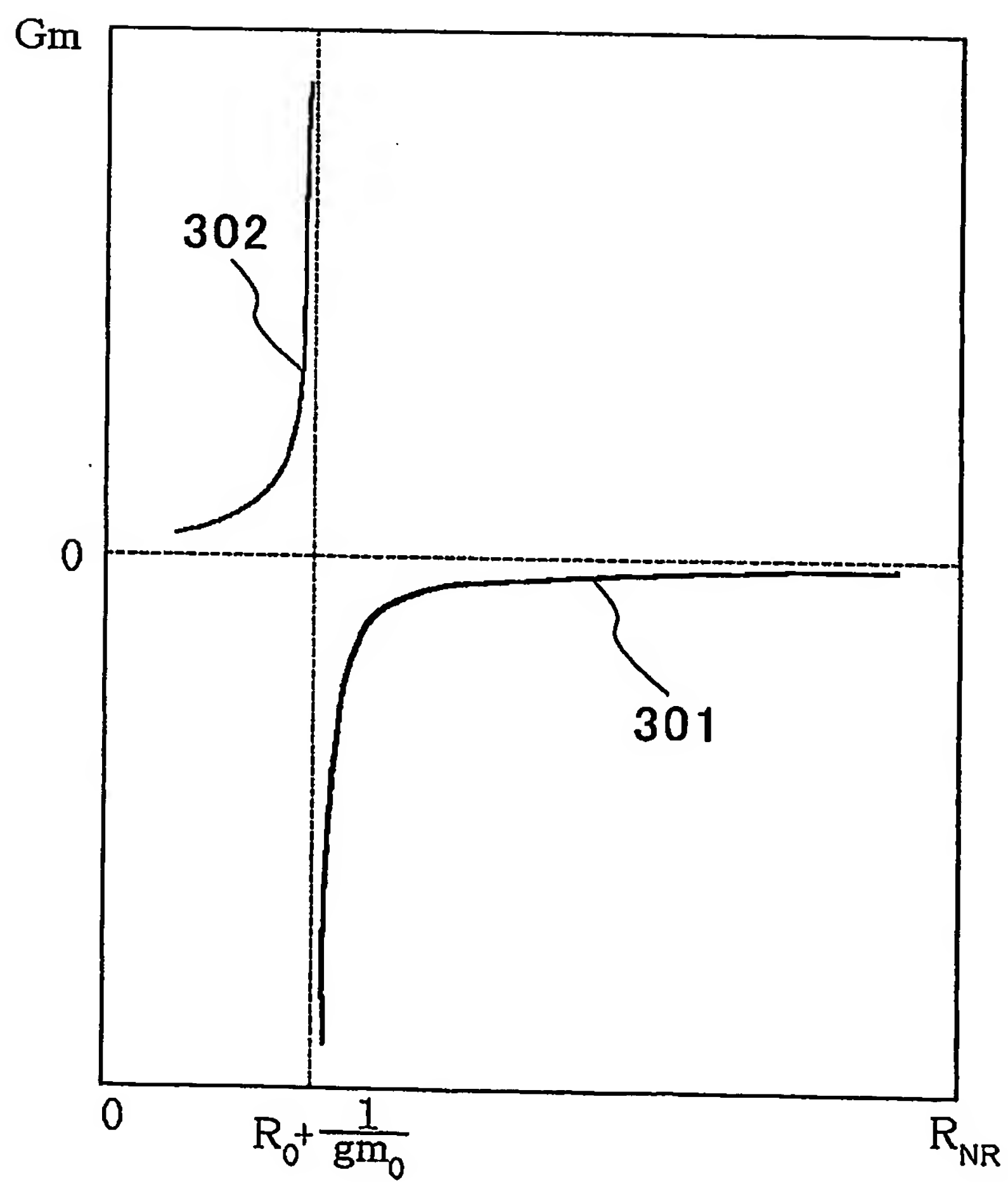
3/19

図3

(a)



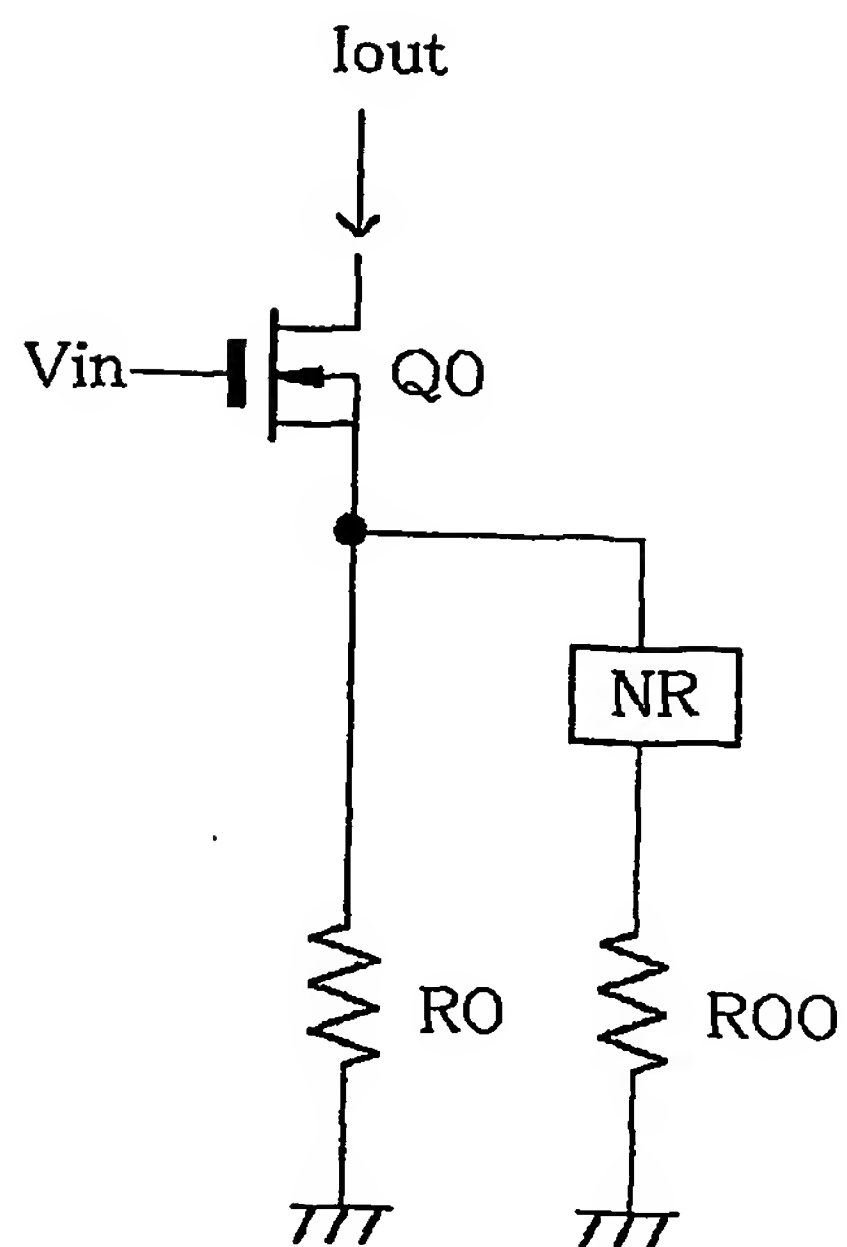
(b)



4/19

図 4

(a)



(b)

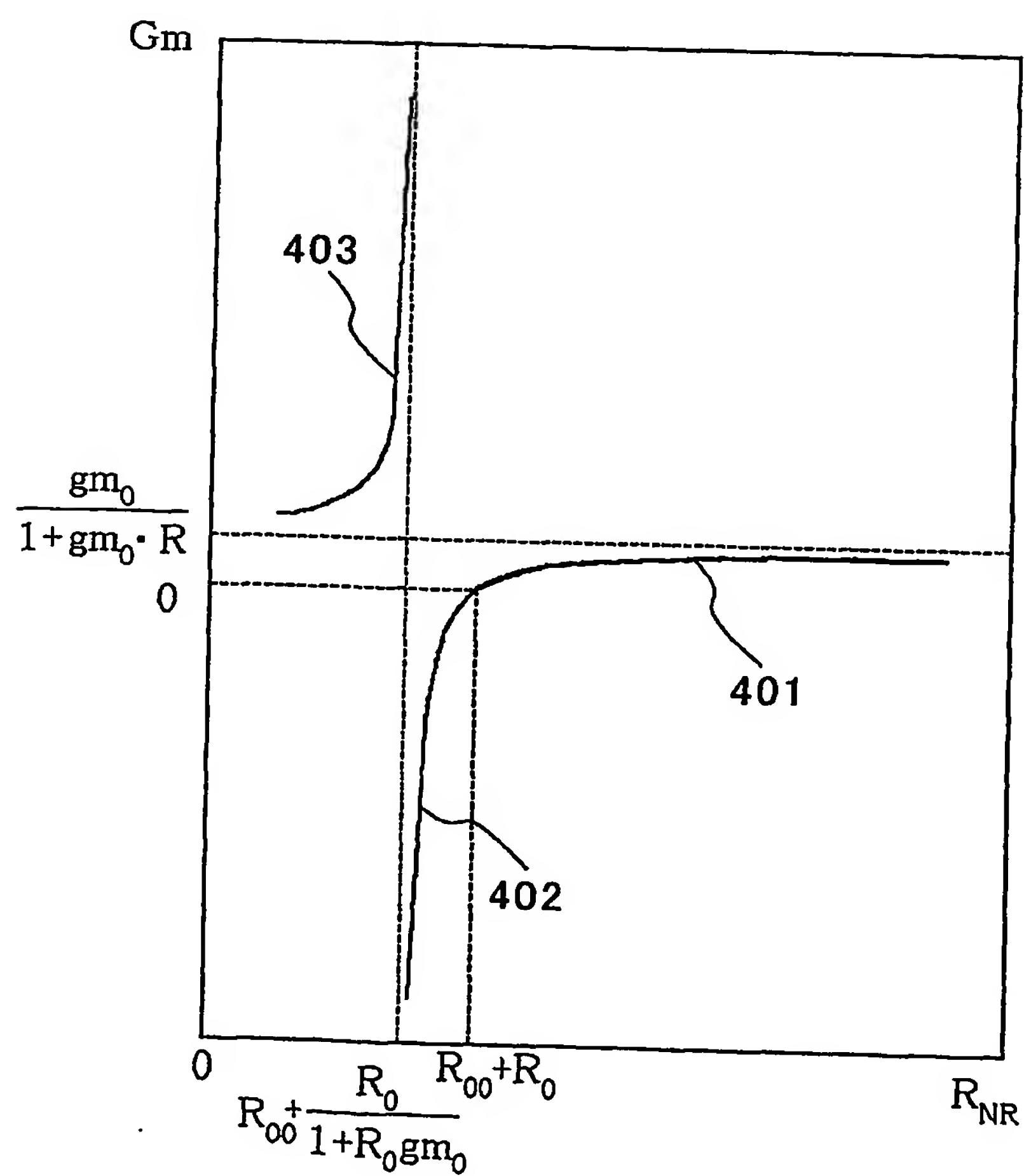
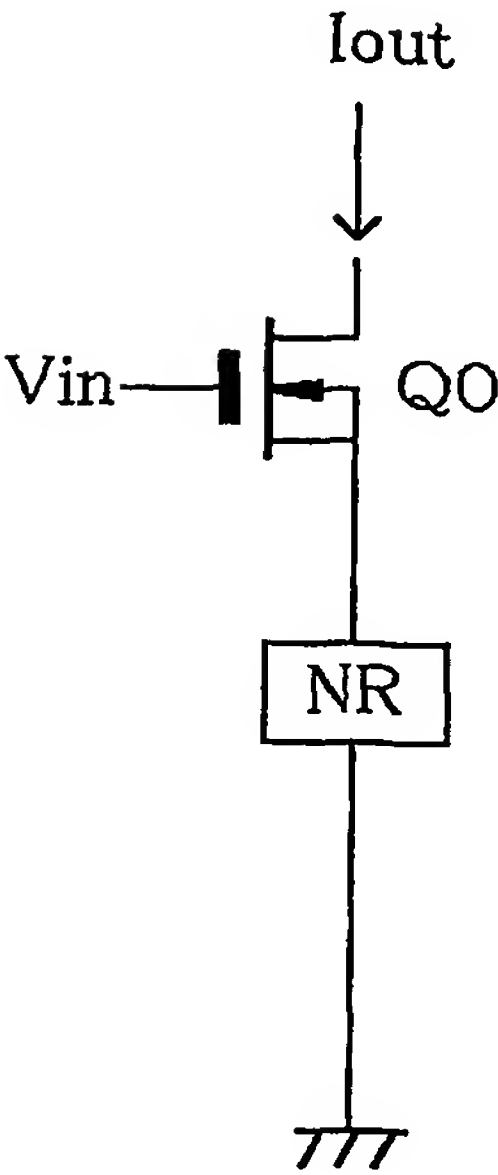


図5

(a)



(b)

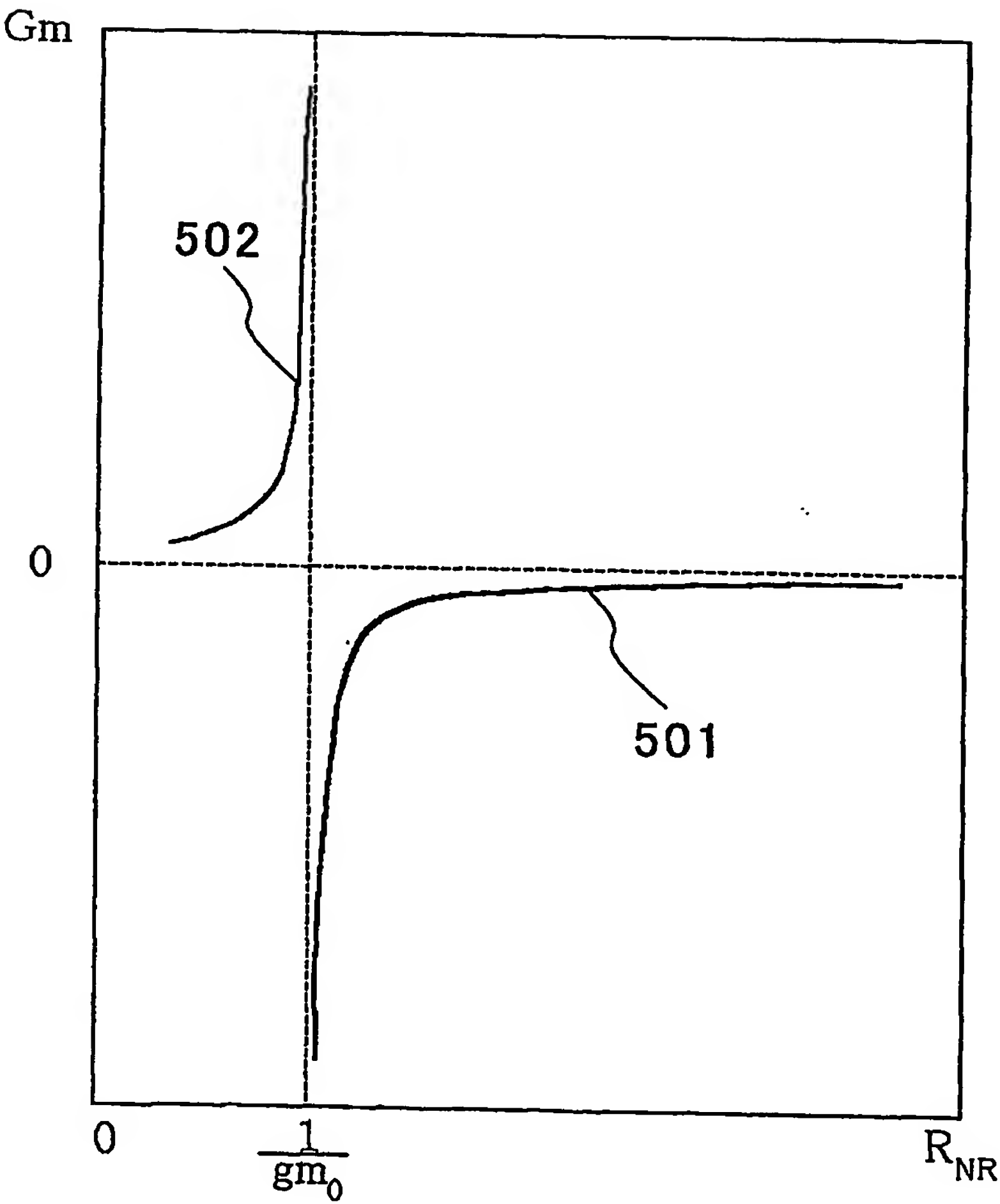


図6

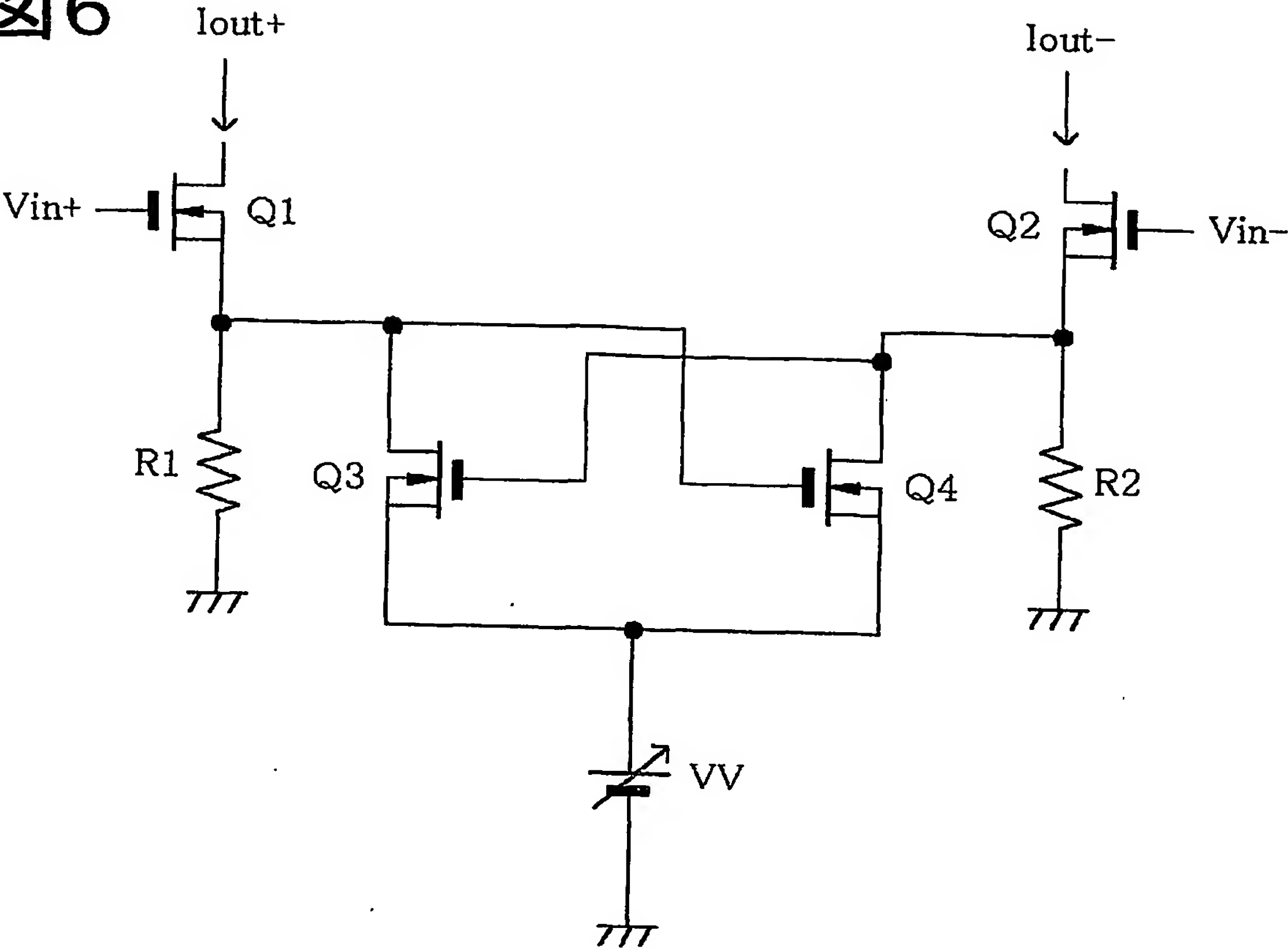


図7

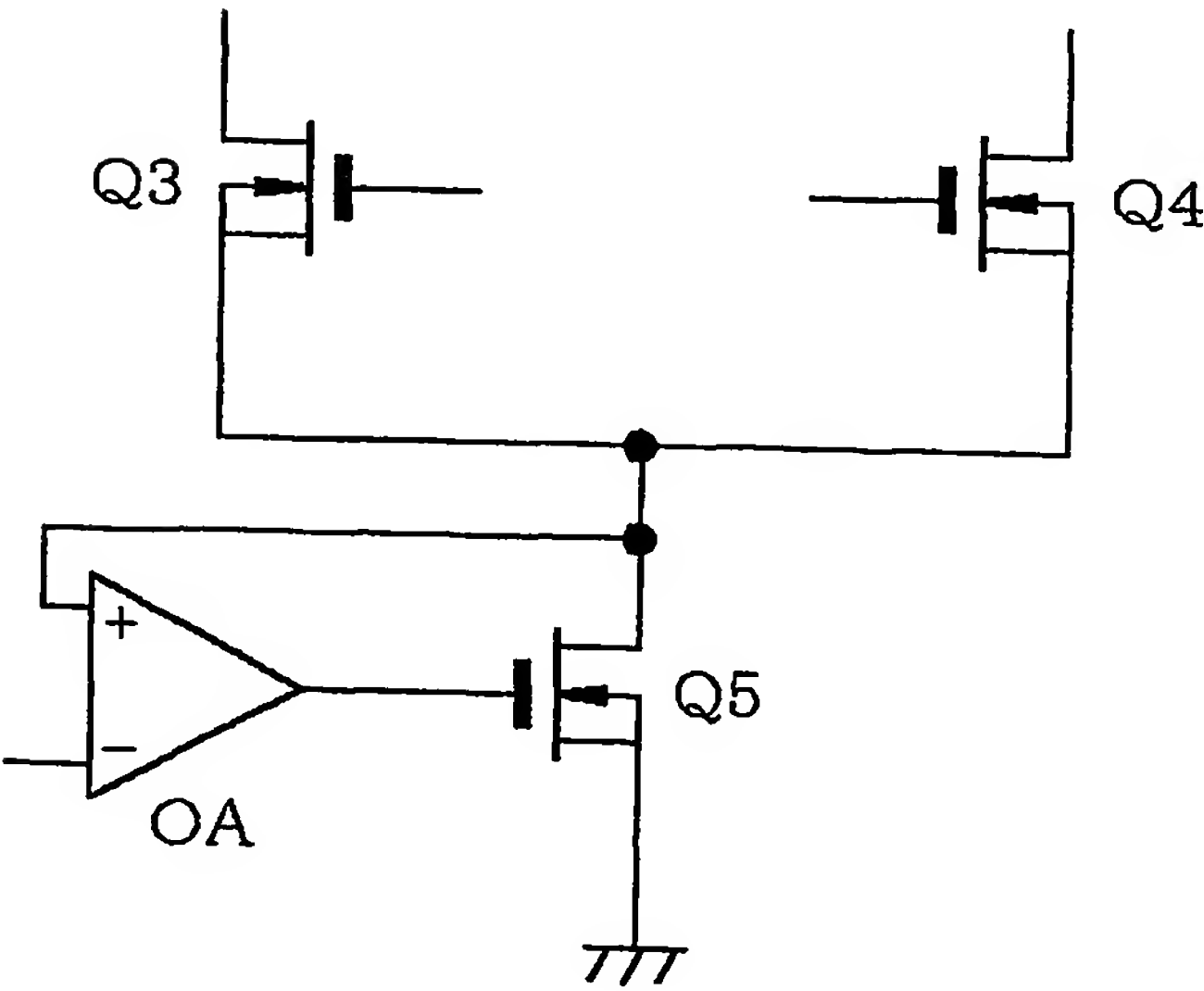


图 8

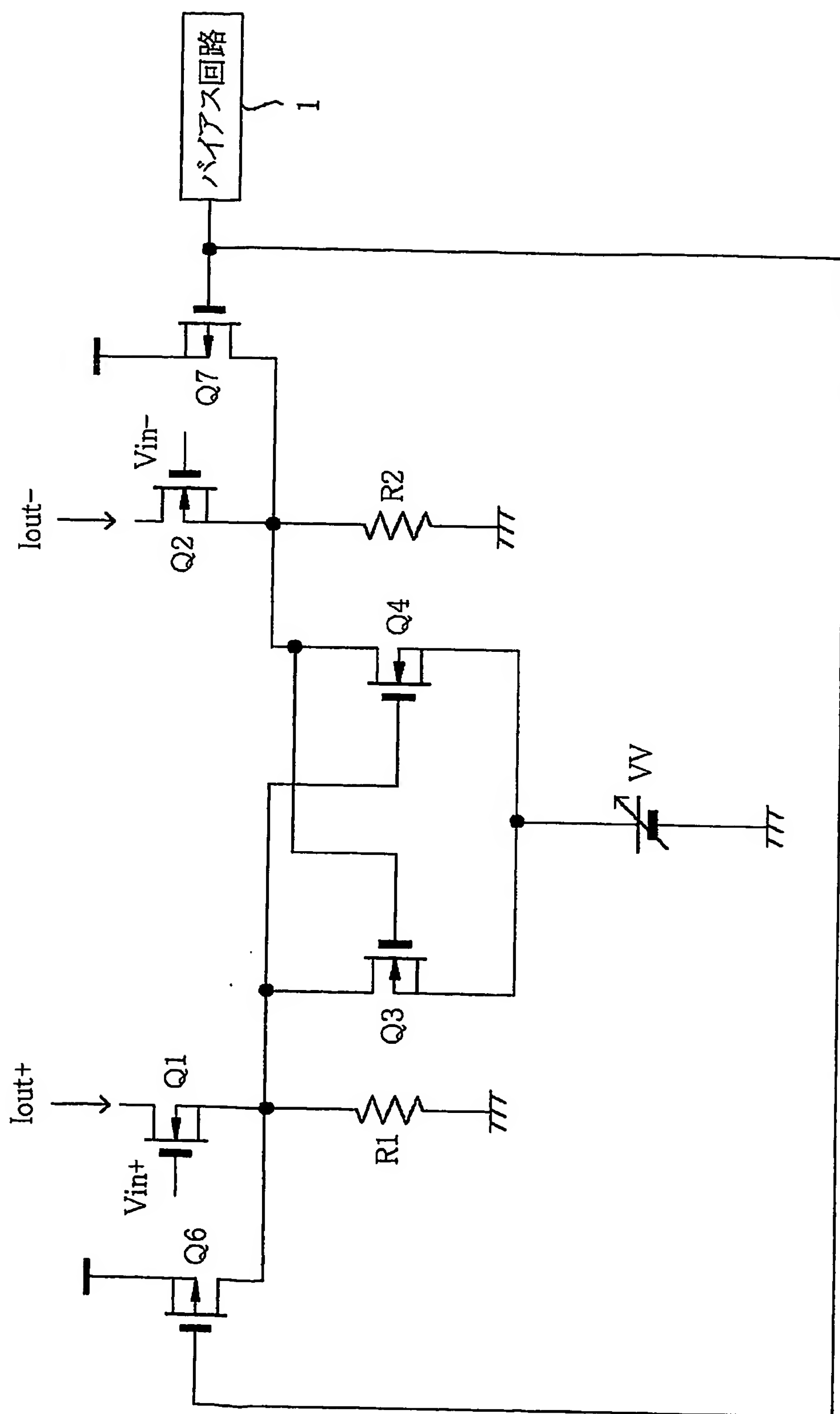
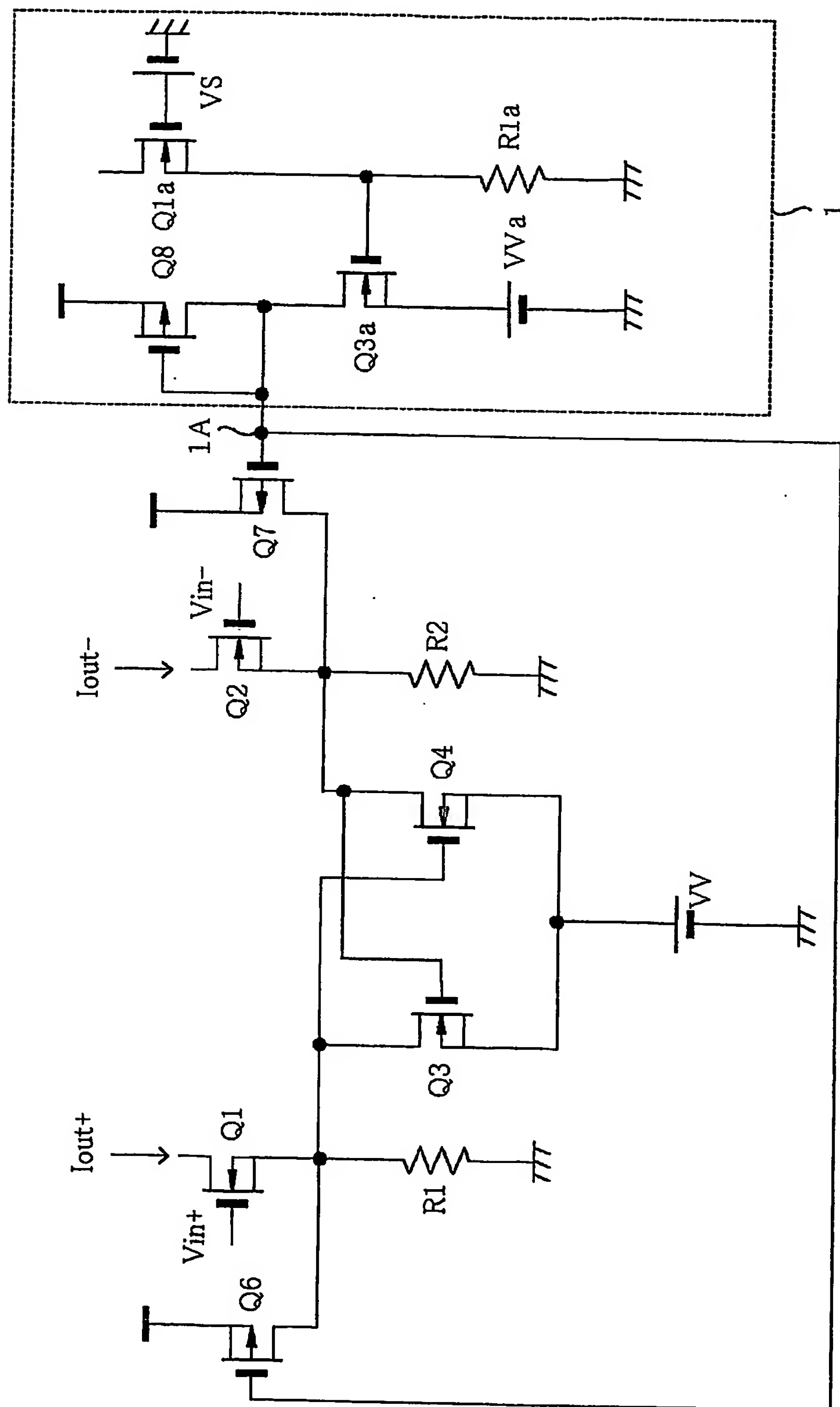


图 9



9/19

図 10

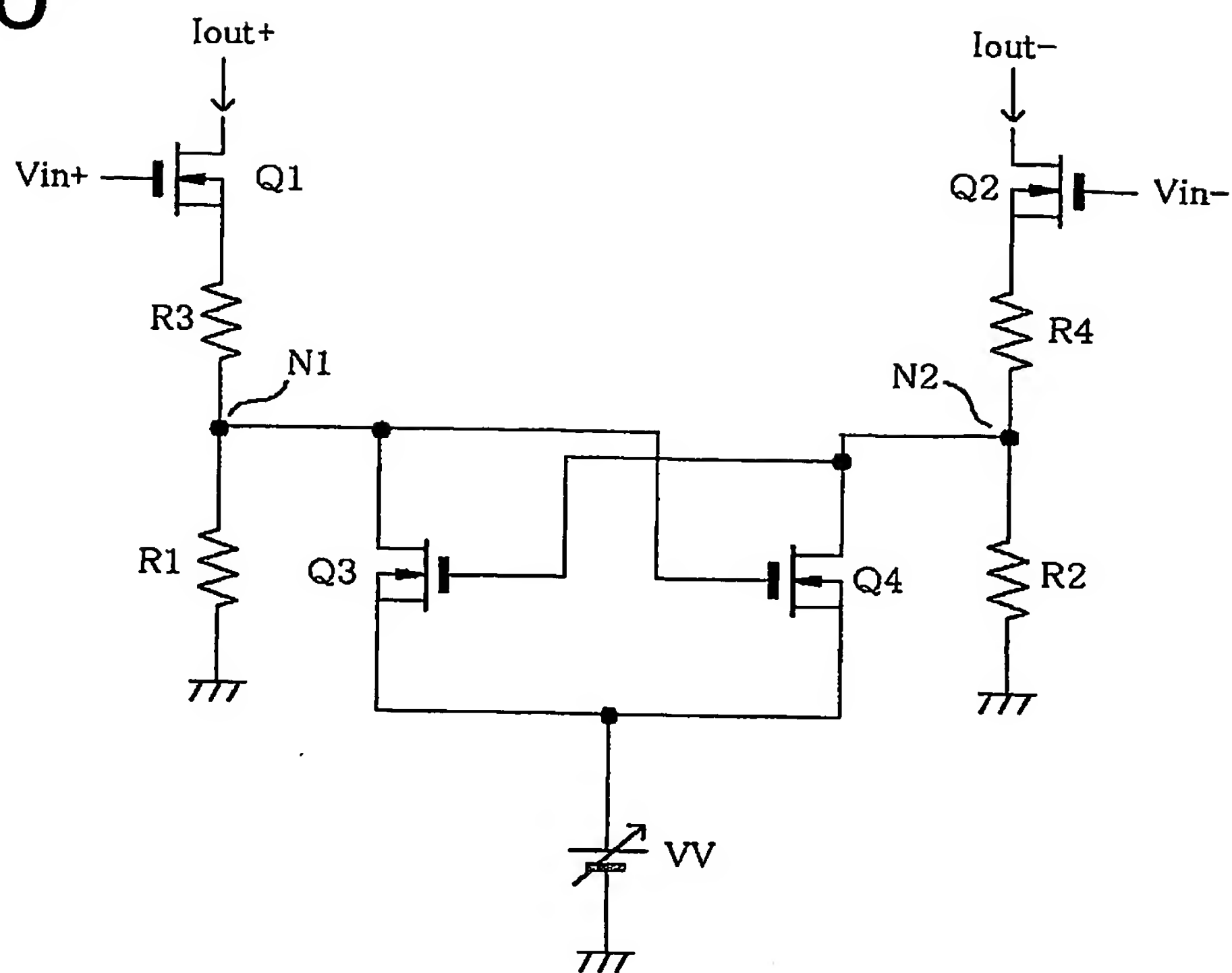
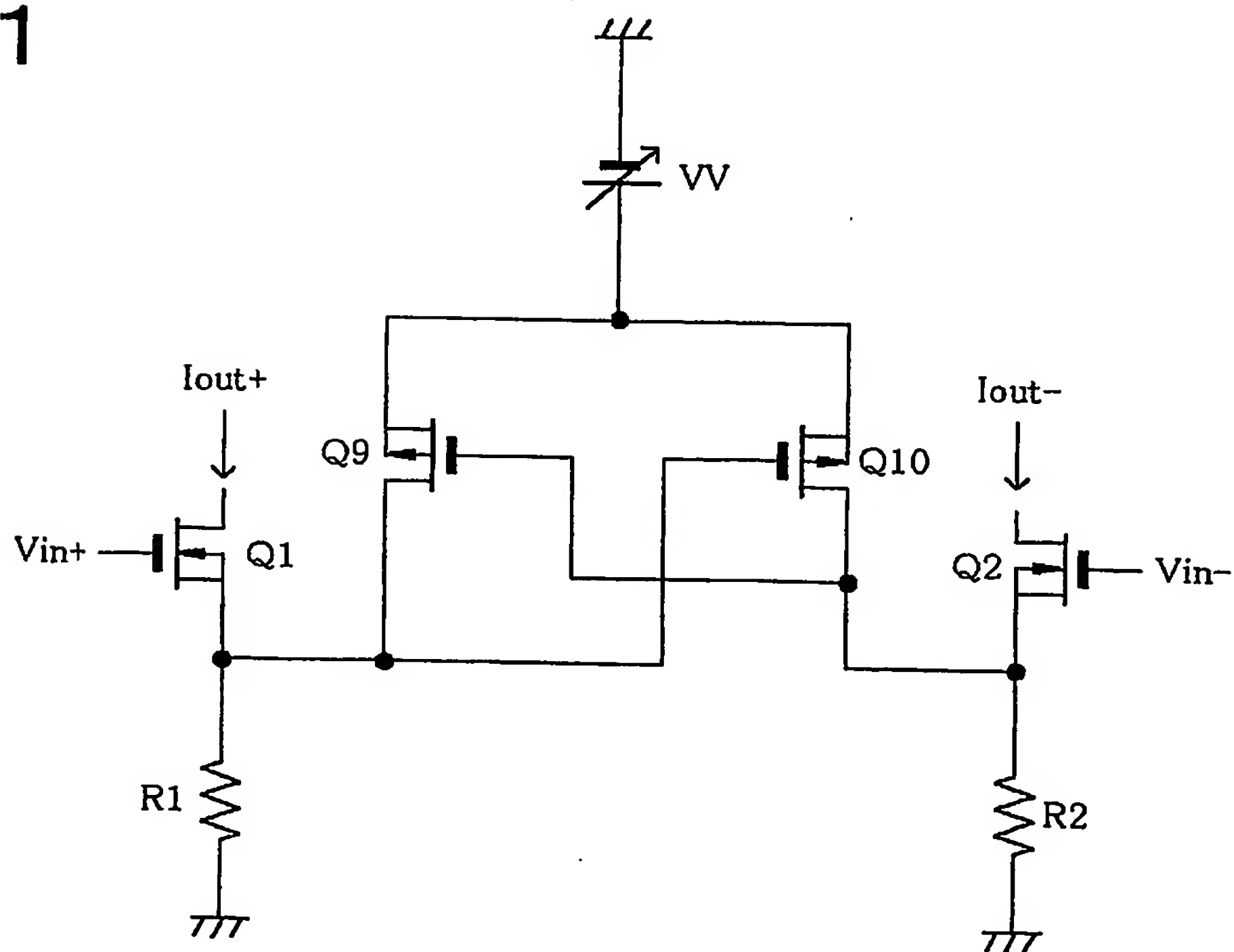


図 11



10/19

図 12

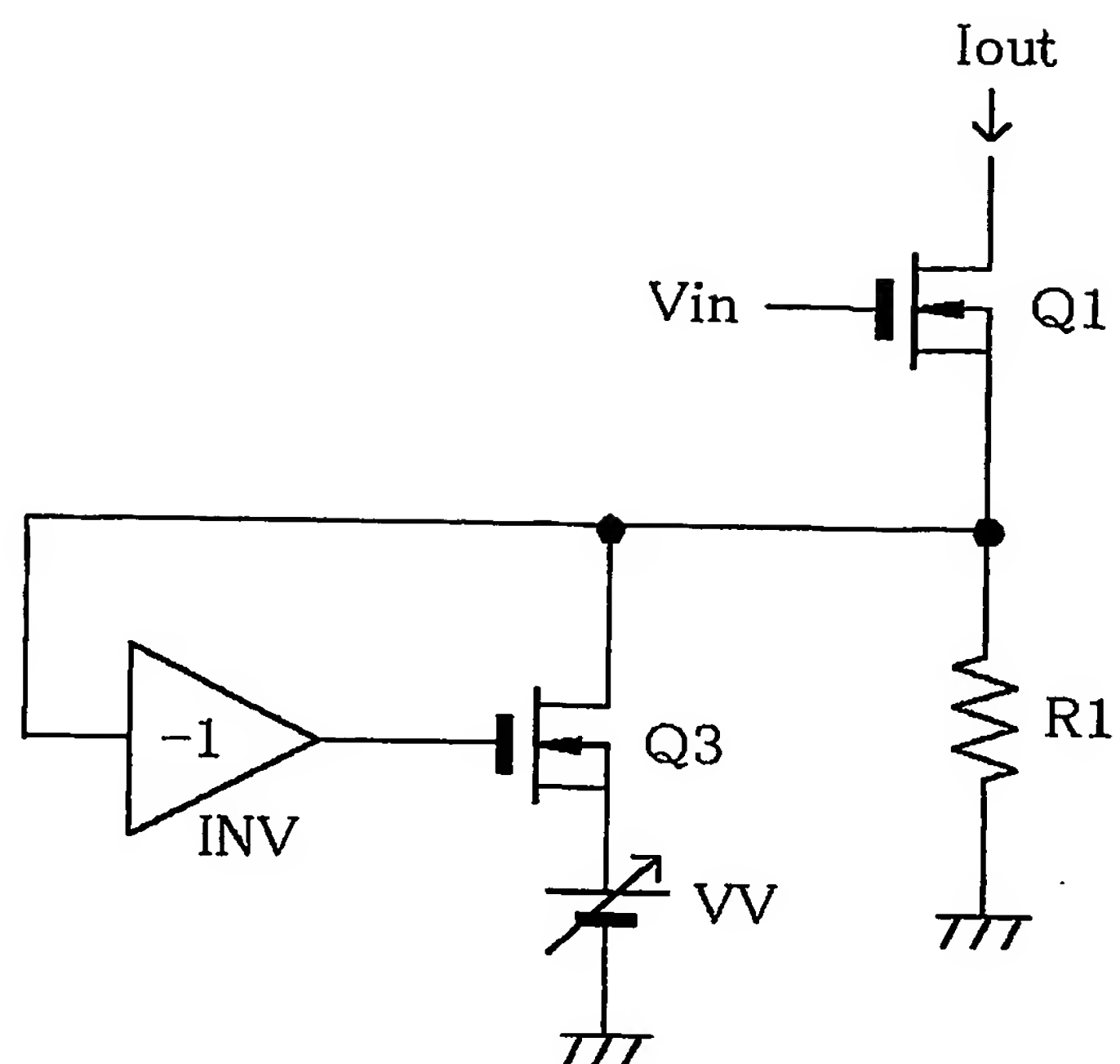
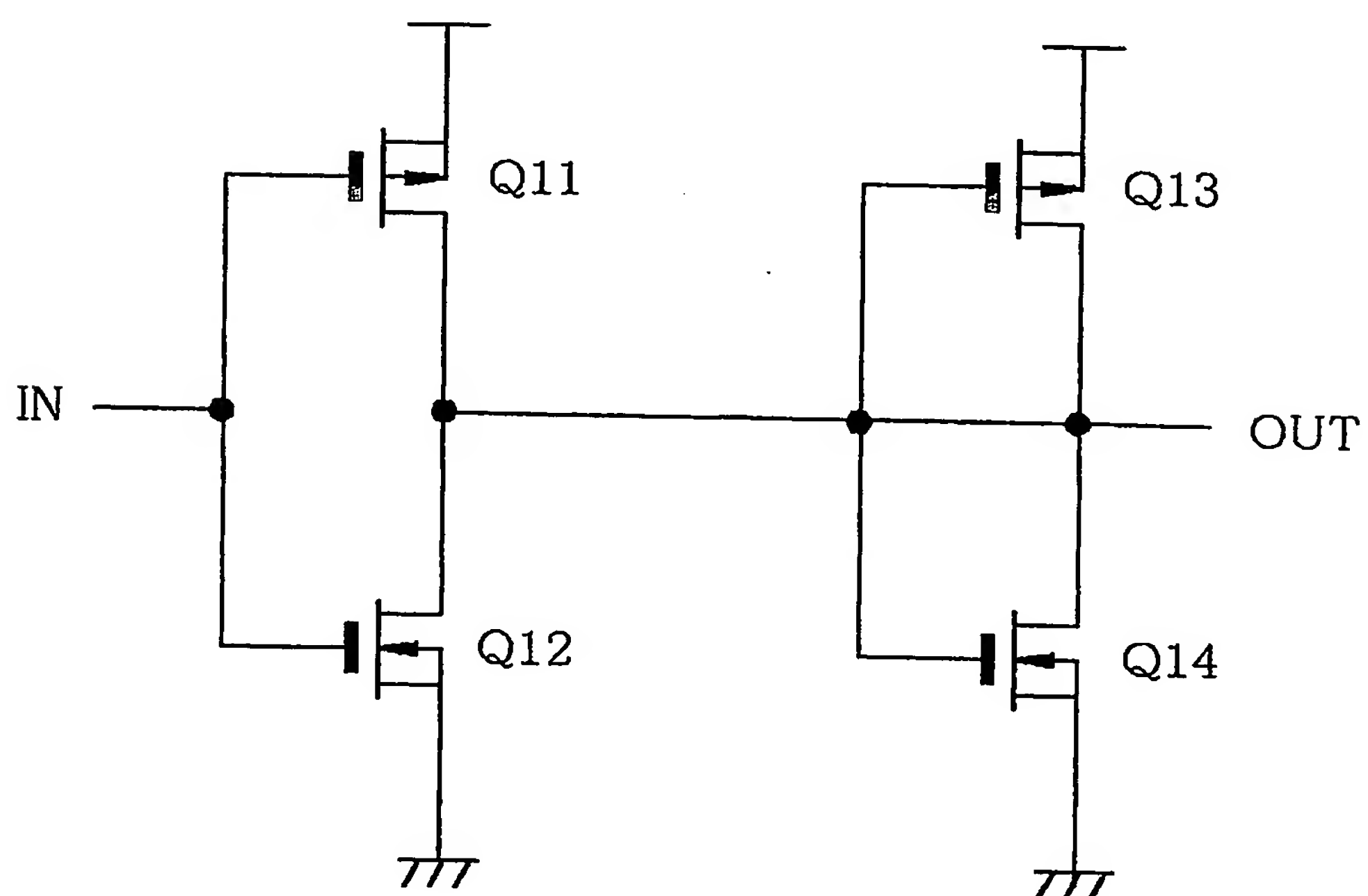


図 13



11/19

図 14

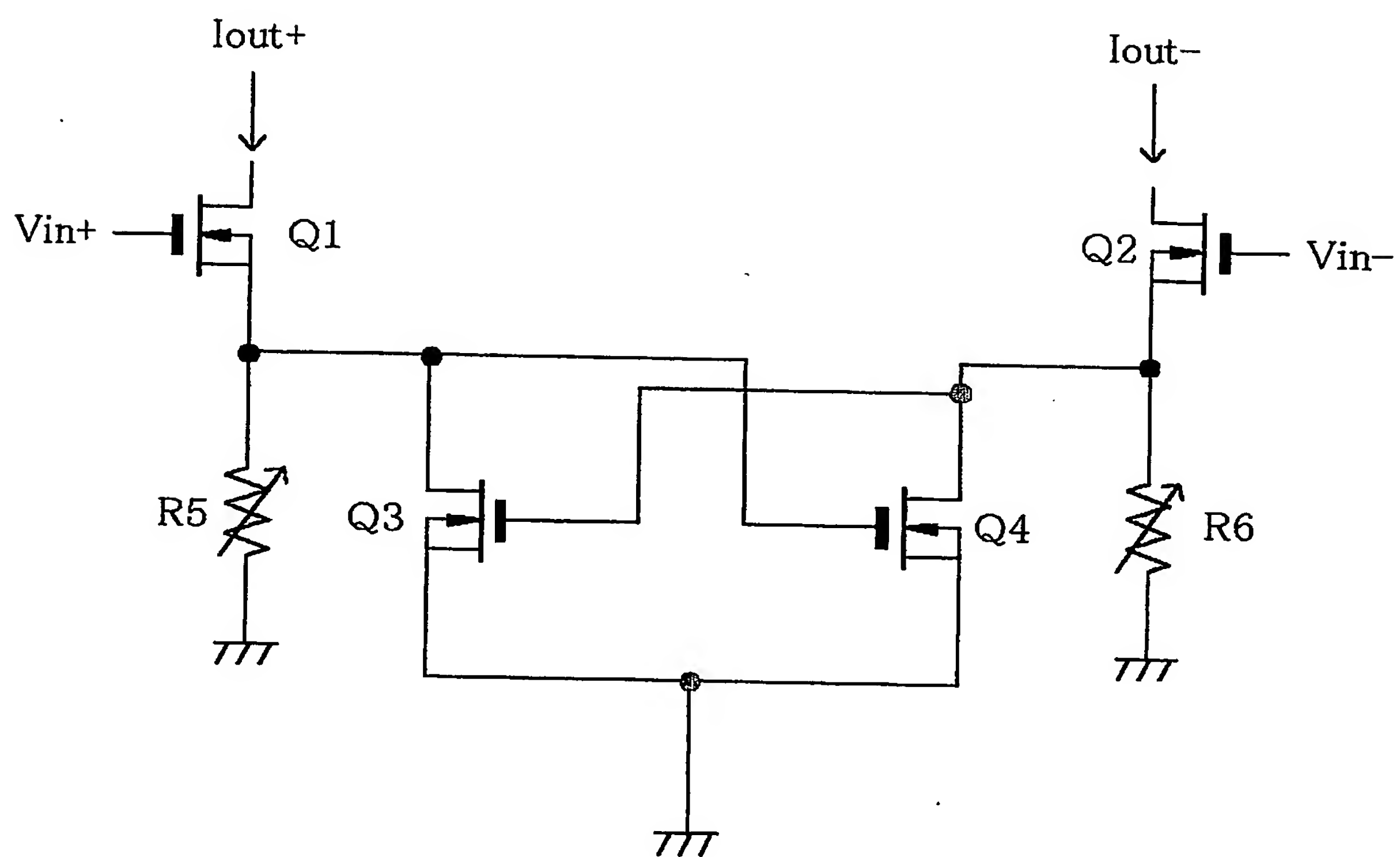


図 15

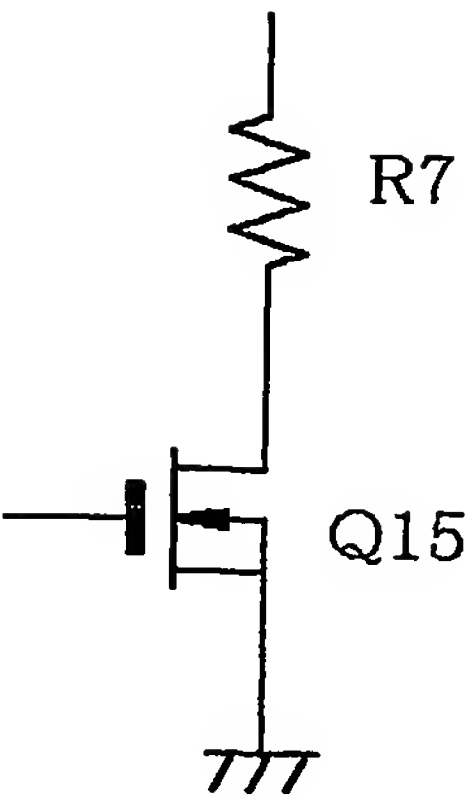
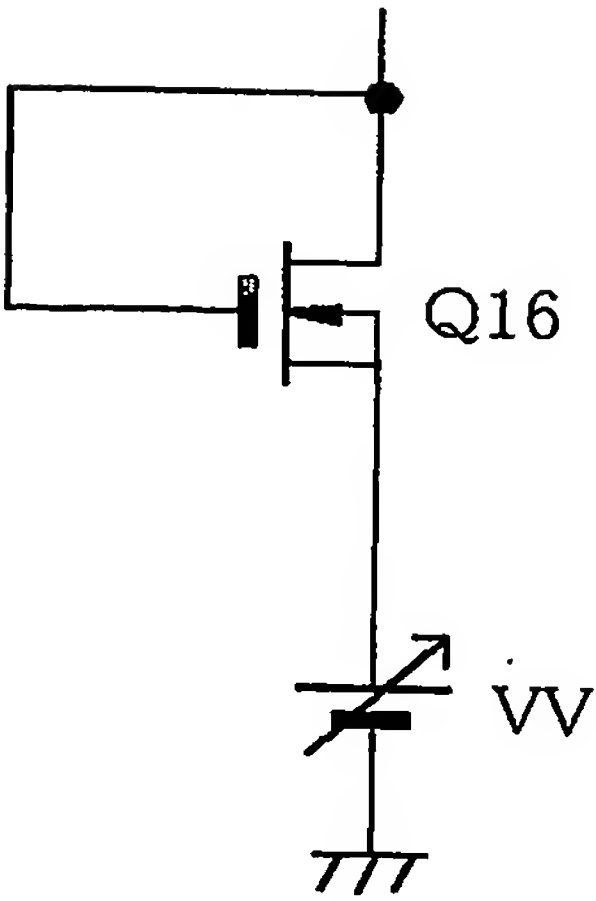


図 16



13/19

図 17

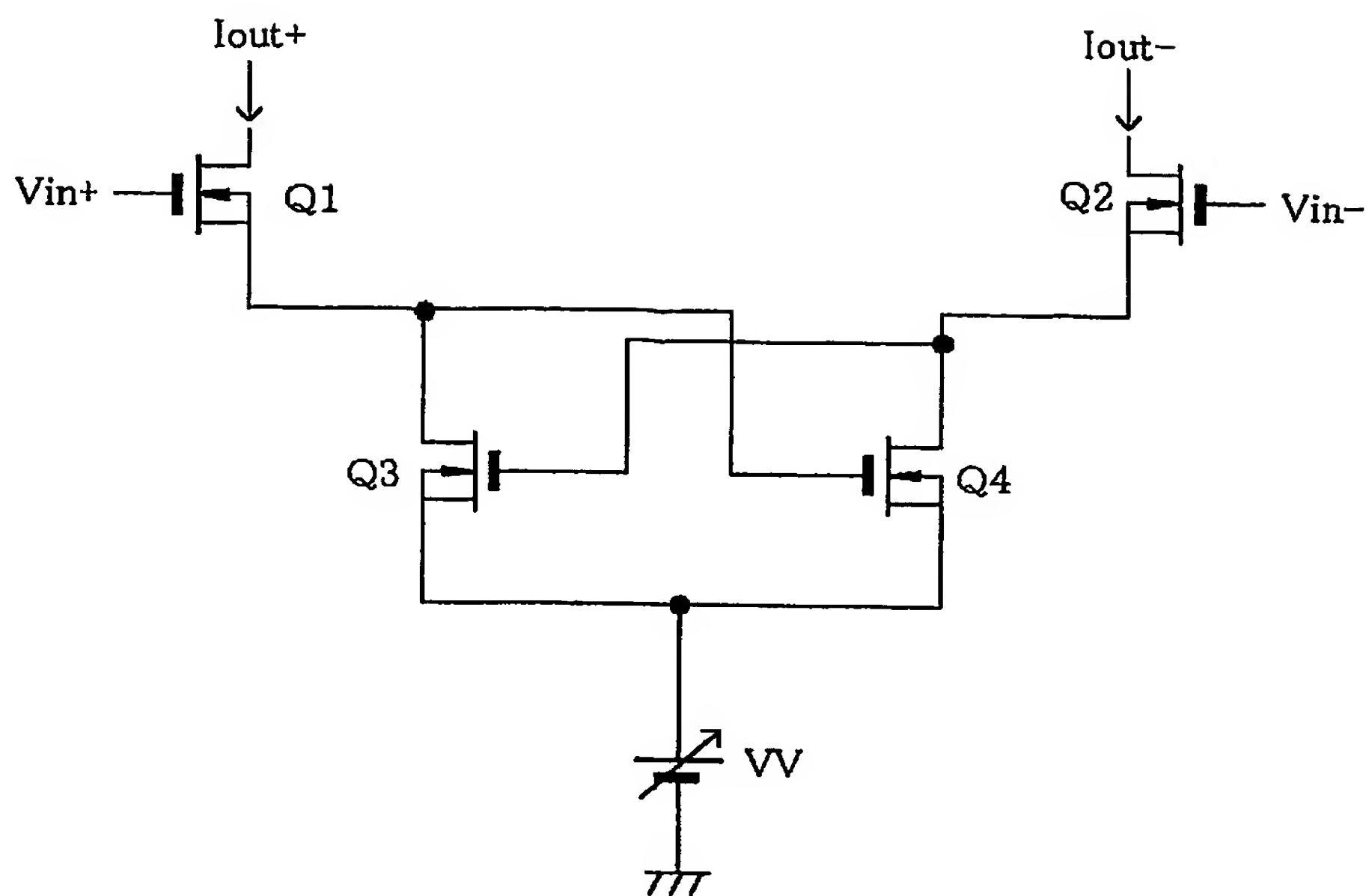
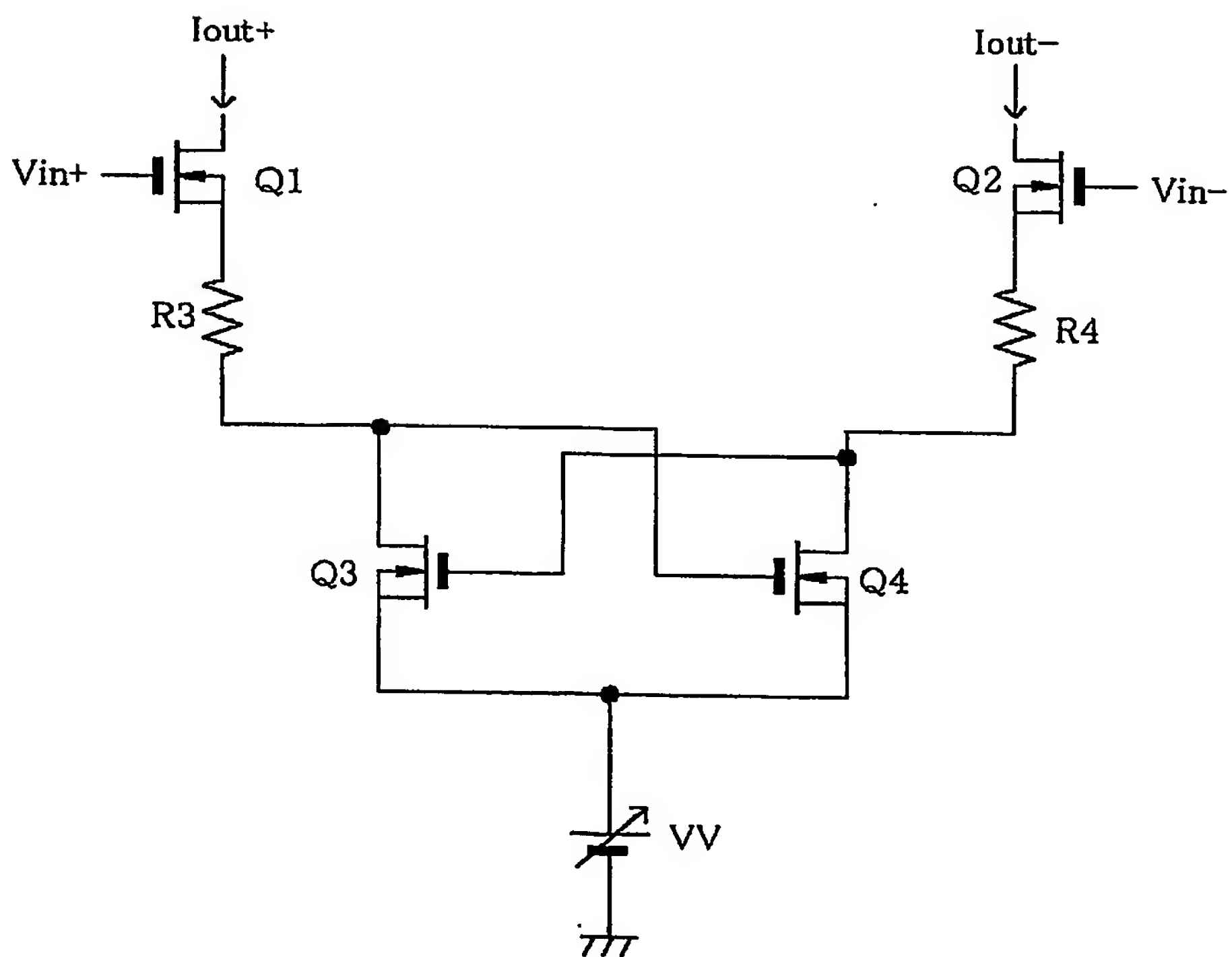
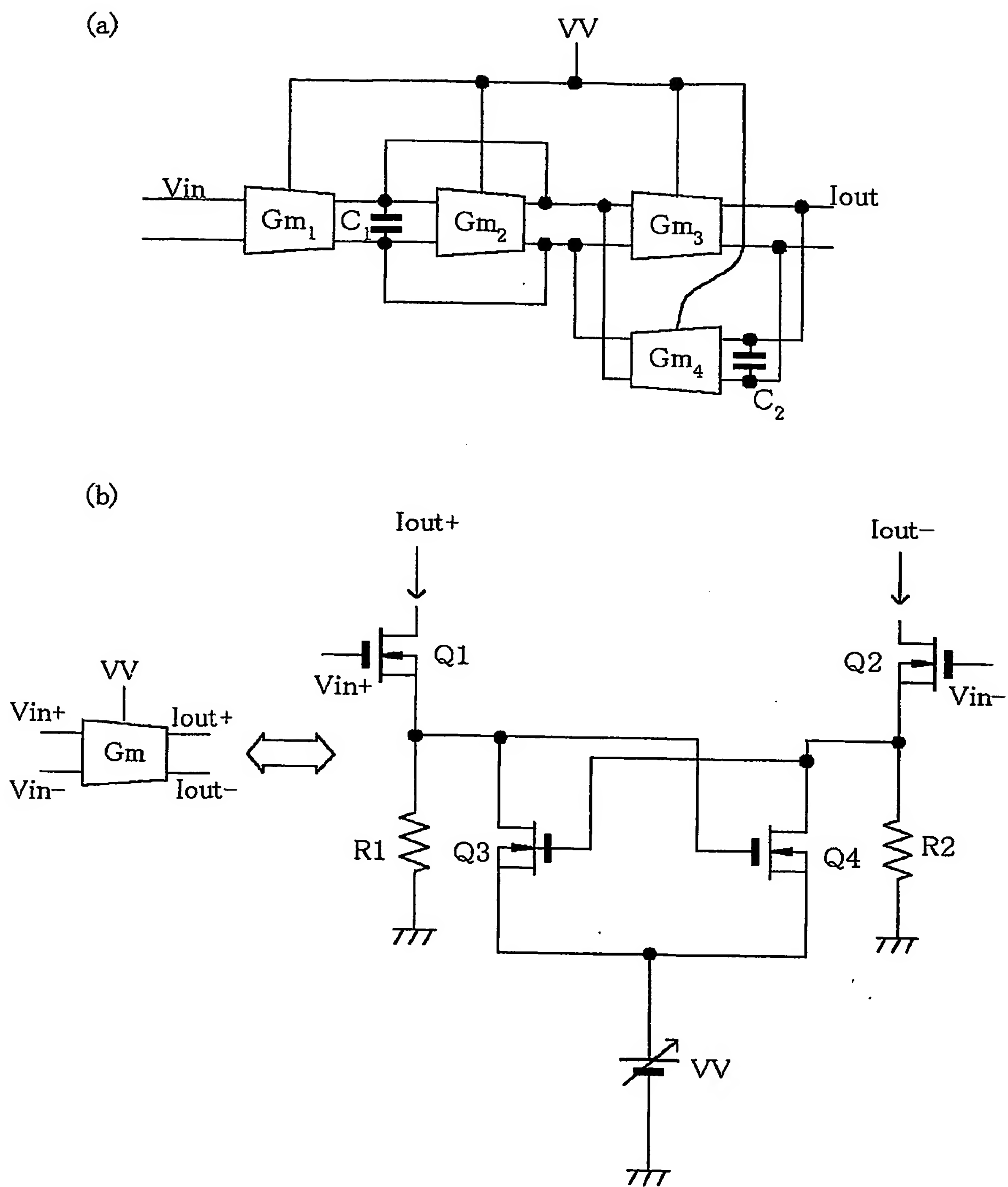


図 18



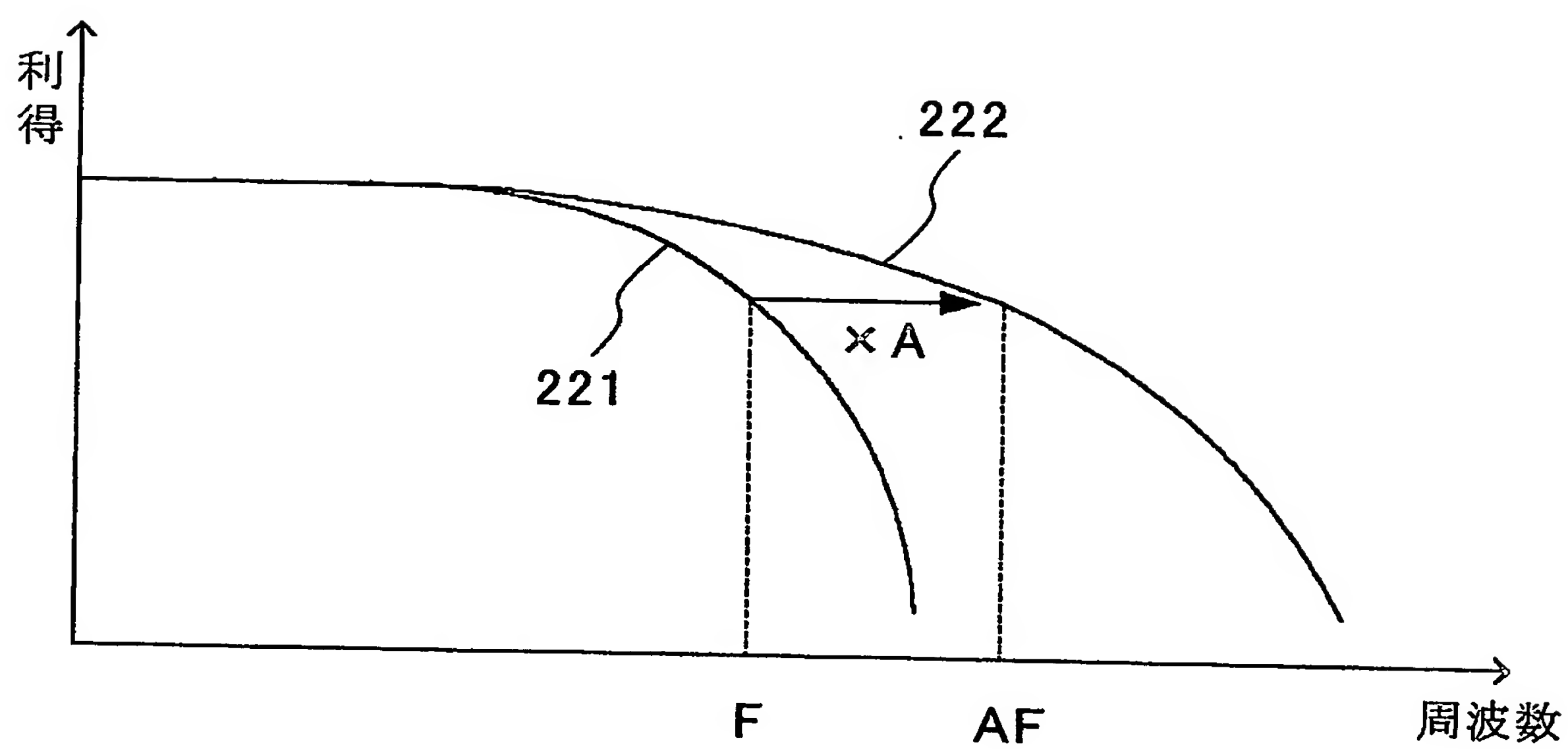
15/19

図21



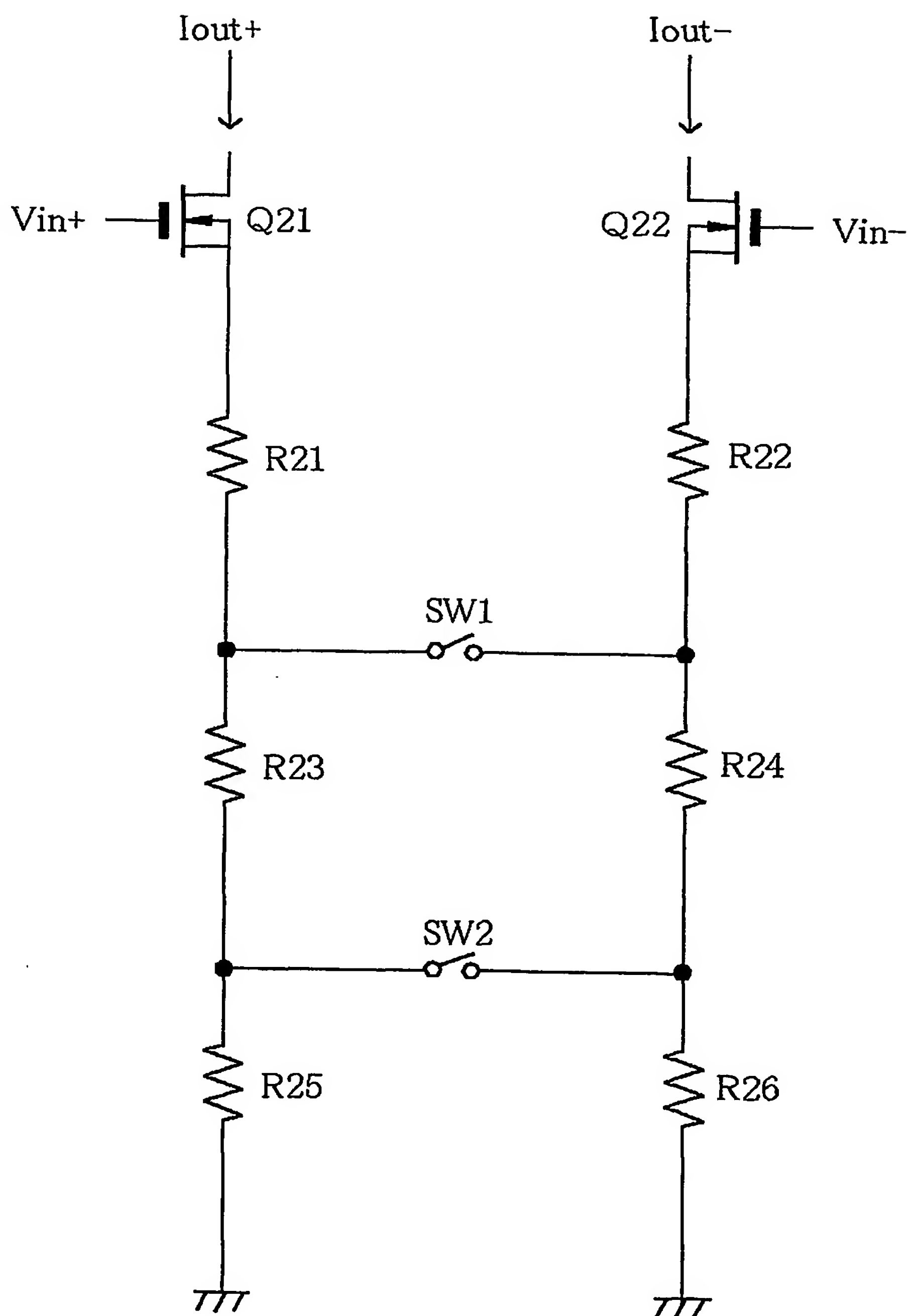
16/19

図22



17/19

図23



18/19

図 24

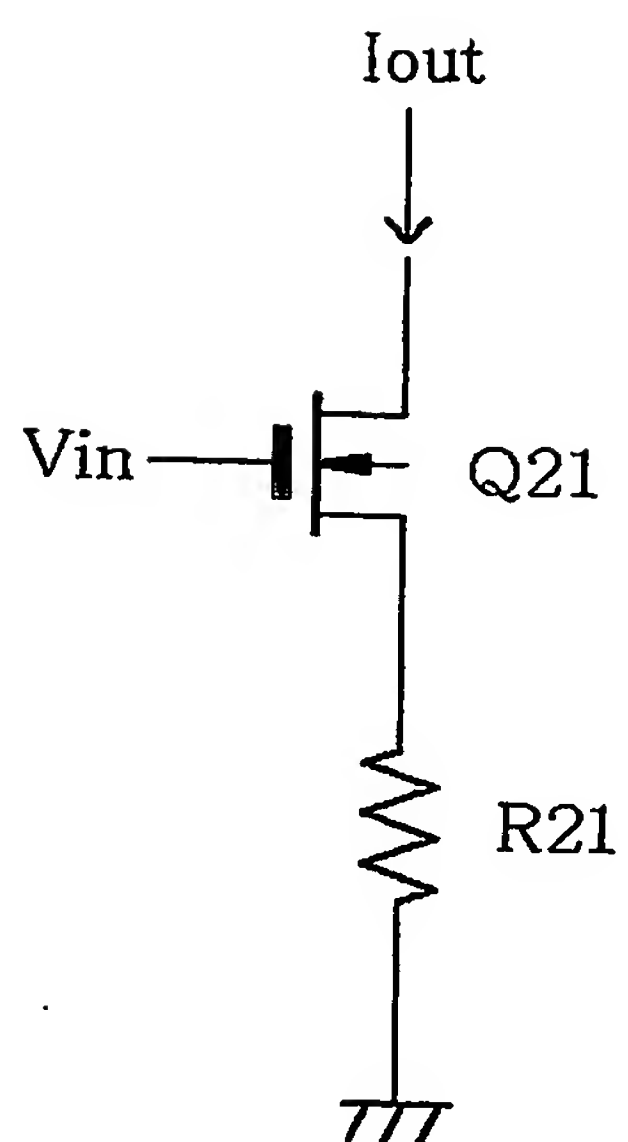
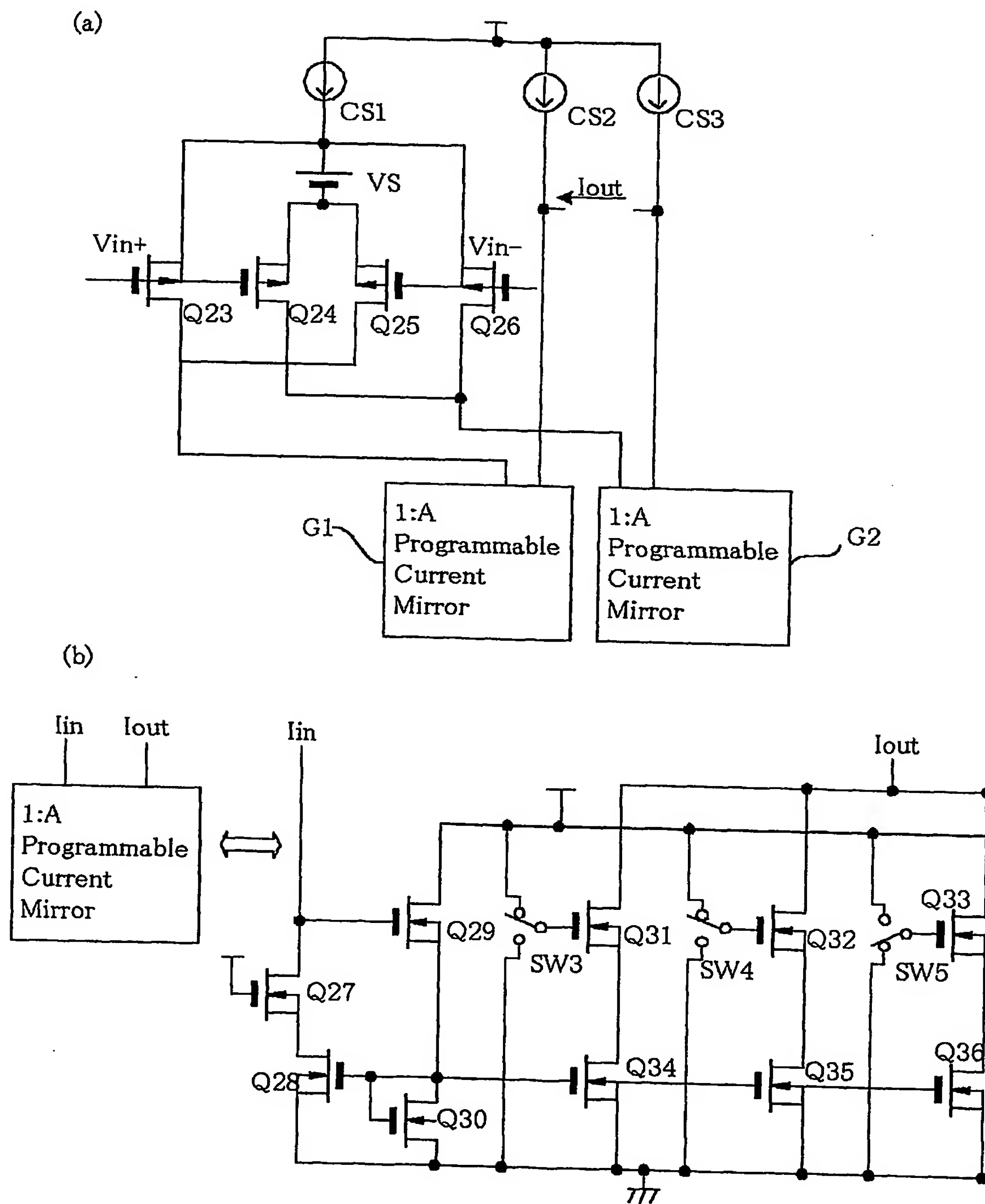


図 25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000337

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03G3/10, G03H11/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03G3/10, G03H11/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 1-233813 A (Toshiba Corp.), 19 September, 1989 (19.09.89), Full text; all drawings (Family: none)	1-20.
Y	JP 6-342561 A (Hitachi, Ltd.), 13 December, 1994 (13.12.94), Par. Nos. [0046] to [0049]; Fig. 3 (Family: none)	1-20
Y	JP 42-14747 B1 (Westinghouse Electric Corp.), 17 August, 1967 (17.08.67), Page 3, left column, line 19 to right column, line 2; Fig. 4 (Family: none)	1-6, 13-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April, 2004 (13.04.04)

Date of mailing of the international search report
11 May, 2004 (11.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000337

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 32100/1974 (Laid-open No. 121643/1975) (Tokyo Shibaura Electric Co., Ltd.), 04 October, 1975 (04.10.75), Full text; Fig. 2 (Family: none)	9-11
Y	JP 10-242770 A (Akita Denshi Kabushiki Kaisha), 11 September, 1998 (11.09.98), Par. Nos. [0070] to [0075]; Fig. 6 (Family: none)	9-11
Y	JP 2000-68761 A (Fujitsu Ltd.), 03 March, 2000 (03.03.00), Full text; all drawings & US 6307427 B1 & FR 2787950 A	20

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/10 H03H11/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03G3/10 H03H11/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 1-233813 A (株式会社東芝) 1989. 09. 19 全文、全図 (ファミリーなし)	1-20
Y	JP 6-342561 A (株式会社日立製作所) 1994. 12. 13 段落 [0046] - [0049], 図3 (ファミリーなし)	1-20
Y	JP 42-14747 B1 (ウエスチングハウス・エレクトリ ック・コーポレーション) 1967. 08. 17 第3頁左欄第19行目~右欄第2頁, 第4図 (ファミリーなし)	1-6, 13-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
13. 04. 2004

国際調査報告の発送日
11. 5. 2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
畑中 博幸

5 J 9180

電話番号 03-3581-1101 内線 3535

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願49-32100号（日本国実用新案登録 出願公開50-121643号）の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム（東京芝浦電気株式会社） 1975. 10. 04 全文, 第2図 （ファミリーなし）	9-11
Y	JP 10-242770 A（アキタ電子株式会社） 1998. 09. 11 段落番号[0070] - [0075], 図6 （ファミリーなし）	9-11
Y	JP 2000-68761 A（富士通株式会社） 2000. 03. 03 全文、全図 （ファミリーなし） & US 6307427 B1 & FR 2787950 A	20